

デュアル 15A/ シングル 30A 降圧電源モジュール

ISL8225M

ISL8225M は、17mm 角の小型パッケージで最大 100W の出力電力を供給でき、ワンチップで容易に設計できる降圧スイッチング電源です。2つの独立した 15A 出力構成と、または組み合わせ合わせて 30A 単一出力として使用できます。高性能基板電源設計がこれまで以上にシンプルになり、わずか数個の外付け部品を使用するだけで、超高集積で信頼性の高い電源ソリューションを実現します。

自動カレントシェアおよびフェーズインターリーブによって、最大 6 個のモジュールを並列接続でき、180A 出力も可能です。出力電圧精度 1.5%、差動リモートセンス、高速負荷応答に対応し、きわめて高性能の電源システムを実現します。出力過電圧 (OV) / 過電流 (OC) / 過熱 (OT) 保護機能を内蔵し、システムの信頼性を高めます。

ISL8225M は、放熱性に優れた QFN パッケージで供給されます。高効率、低熱抵抗で、ヒートシンクやファンを使用せずにフル電源動作が可能です。また、外部リード付きの QFN パッケージのため、プロービングとハンダの目視検査が容易です。

関連ドキュメント

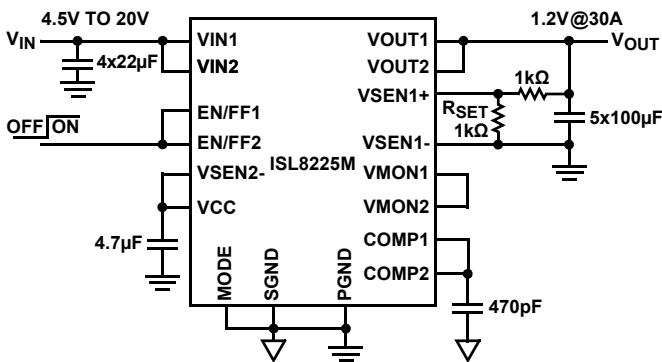
- アプリケーションノート [AN1789](#)、「ISL8225MEVAL2Z 6-Phase, 90A Evaluation Board Setup Procedure」
- アプリケーションノート [AN1790](#)、「ISL8225MEVAL3Z 30A, Single Output Evaluation Board Setup Procedure」
- アプリケーションノート [AN1793](#)、「ISL8225MEVAL4Z Dual 15A/Optional 30A Cascadable Evaluation Board」
- ビデオ [ISL8225M 110A Thermal Performance](#)

特長

- ワンチップで実現できるデュアル降圧スイッチング電源
- 17mm 角の小型パッケージで最大 100W の出力電力を供給
- デュアル 15A またはシングル 30A 出力
- 最大 95% の変換効率
- 入力電圧範囲 : 4.5V ~ 20V
- 出力電圧範囲 : 0.6V ~ 6V
- 出力電圧精度 : 1.5% (差動リモートセンス付き)
- 最大 6 個を並列接続し、180A 出力も可能
- 出力過電圧 (OV) / 過電流 (OC) / 過熱 (OT) 保護機能
- ヒートシンク、ファン不要でフル電源動作
- 外部リード付き QFN パッケージでプロービングとハンダ目視検査が容易

アプリケーション

- コンピューティング、ネットワーキング、通信インフラ機器
- 産業用機器、医療用機器
- 汎用のポイント・オブ・ロード (POL) 電源



NOTE : この図に示されていないピンはすべて開放されています。

図 1. 30A 降圧電源構成

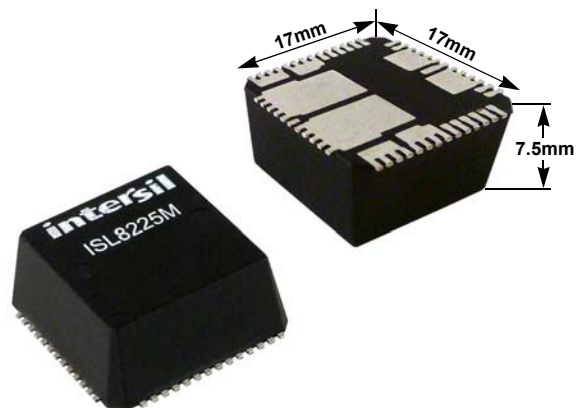
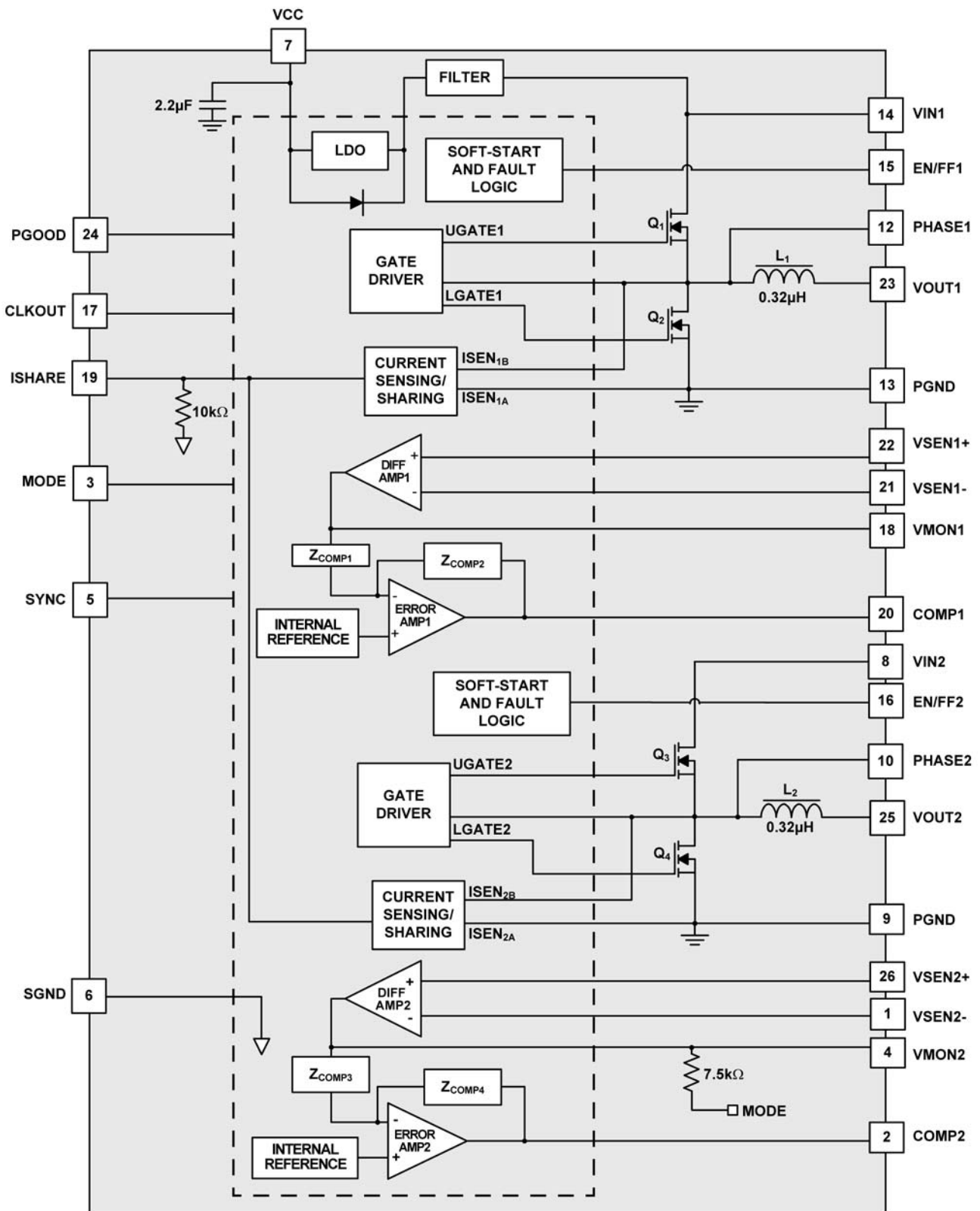


図 2. わずかな実装面積で高い電力密度を実現

内蔵回路



ISL8225M

注文情報

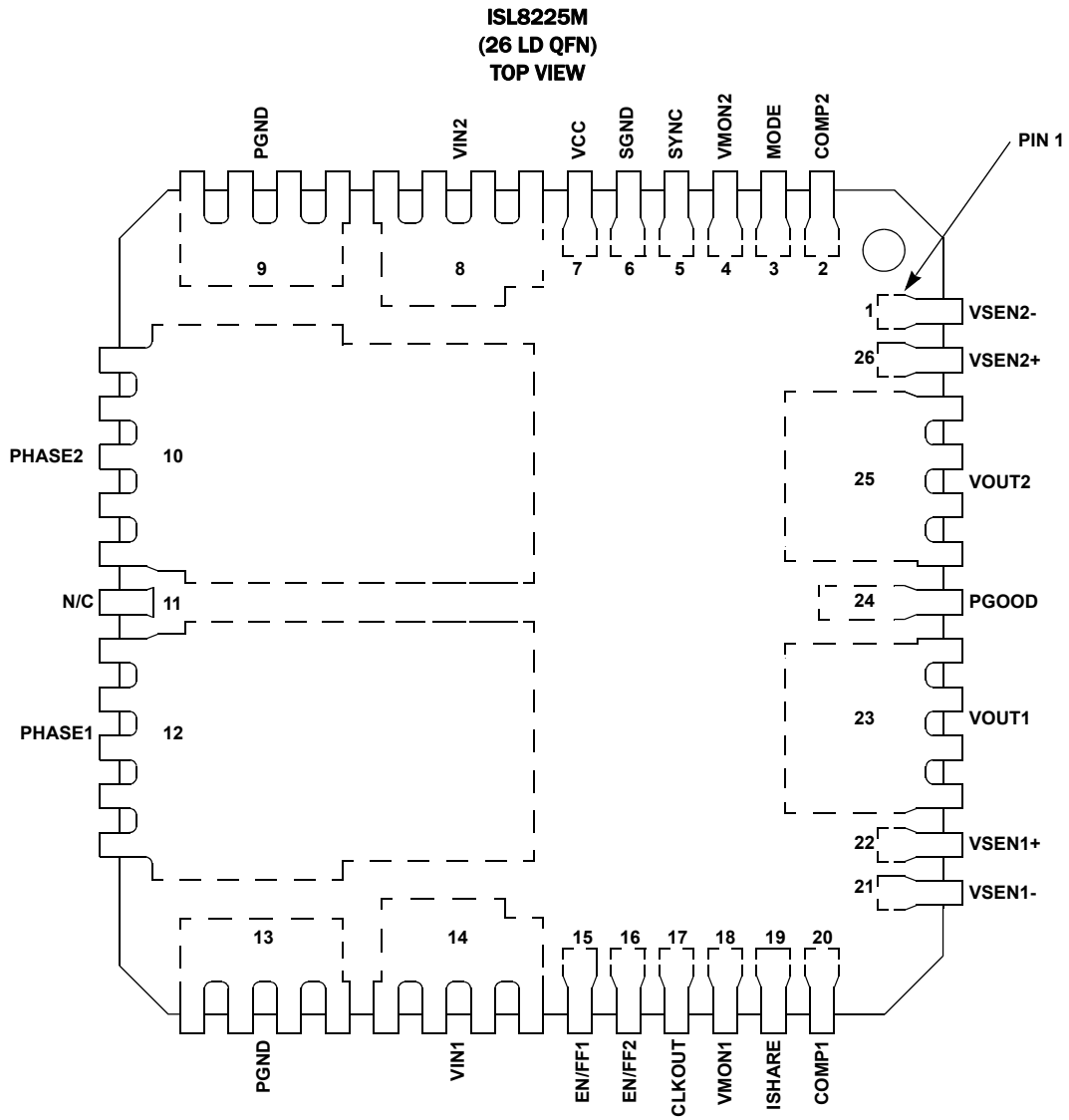
製品型番 (Note 2、3)	マーキング	温度範囲 (°C) (Note 4)	パッケージ (鉛フリー)	パッケージの 外形図
ISL8225MIRZ	ISL8225M	-40 ~ +125	26 Ld QFN	L26.17x17
ISL8225MIRZ-T (Note 1)	ISL8225M	-40 ~ +125	26 Ld QFN (テープ&リール)	L26.17x17

NOTE :

1. リールの詳細仕様についてはテクニカル・ブリーフ「Tape and Reel Specification for Integrated Circuit ([TB347](#))」を参照してください。
2. これらの製品には鉛が使用されていますが、EU の適用除外項目 5 (ブラウン管、電子部品、蛍光管のガラス中の鉛) に基づいて RoHs 指令に準拠しています。
3. 湿度感受性レベル (MSL) については [ISL8225M](#) のデバイス情報ページを参照してください。MSL の詳細についてはテクニカル・ブリーフ「Guidelines for Handling and Processing Moisture Sensitive Surface Mount Devices ([TB363](#))」を参照してください。
4. ISL8225M は、-40 °C ~ +125 °C の内部ジャンクション温度の全範囲にわたって保証されています。この仕様に対する許容周囲温度は、基板レイアウト、冷却方式、その他の環境要因など、動作条件によって異なります。

ISL8225M

ピン配置



ピンの説明

ピン番号	ピン名称	タイプ	ピンの説明
21、1	VSEN1-、 VSEN2-	I	出力電圧の負帰還。 レギュレータの差動リモートセンスの負入力です。図 19 に示すように、負荷 / プロセッサの負レールまたはグラウンドに接続してください。負帰還ピンは、モジュール動作条件のプログラムに使用できます。詳細については表 3 と表 5 を参照してください。
20、2	COMP1、 COMP2	I/O	誤差アンプの出力。 デュアル出力では通常、開放状態にします。並列使用の場合は、各スレーブ・フェーズの COMP ピンに 470pF ~ 1nF のコンデンサを接続して、カップリング・ノイズを除去することを推奨します。スレーブ・フェーズの COMP ピンはすべて、マスター・フェーズの COMP1 ピン (フェーズ 1) に接続する必要があります。I/O 条件の全範囲にわたって動作できるように、補償ネットワークが内蔵されています。
3	MODE	I	モード設定。 デュアル出力では通常、開放状態にします。並列使用の場合は SGND に接続してください。詳細については表 3 と表 5 を参照してください。VSEN2- を VCC から 700mV 以内にすると、チャンネル 2 のリモートセンス・アンプがディスエーブルになります。MODE ピンは VSEN2+ ピンと同様に、2 つのチャンネルと CLKOUT 信号出力との相対フェーズ・シフトを決定します。
18、4	VMON1、 VMON2	I/O	リモートセンス・アンプの出力。 これらのピンは内部で OV/UV/PGOOD コンパレータに接続されているので、モジュールがマルチフェーズで動作しているときは開放できません。VSEN1- や VSEN2- を VCC から 700mV 以内にすると、対応するリモートセンス・アンプがディスエーブルになります。出力 (VMON ピン) は高インピーダンスになります。この場合、単一障害点からシステムを保護する抵抗分圧回路を接続し、VMON ピンを追加の出力電圧モニタとして使用することができます。デフォルト設定の電圧は 0.6V です。詳細については表 3 を参照してください。
5	SYNC	I	信号の同期。 このピンと SGND の間にオプションで外付け抵抗 (R_{SYNC}) を接続すると、発振回路のスイッチング周波数が増加します (図 31 および表 1)。このピンを開放した場合のデフォルトの内部周波数は 500kHz です。また、内蔵発振回路は、外部周波数ソース、または別の ISL8225M からの CLKOUT 信号にロックできます。外部ソースの入力電圧範囲は、矩形波で 3V ~ 5V です。このピンにはコンデンサを接続しないことを推奨します。
6	SGND	PWR	制御信号のグラウンド。 モジュールの下のノイズの少ない中間層で PGND に接続します。SGND と PGND との接続には単一の場所を使用して、ノイズ・カップリングを回避してください。23 ページの「レイアウト・ガイド」を参照してください。
7	VCC	PWR	5V 内蔵リニアレギュレータの出力。 電圧範囲 : 3V ~ 5.6V。VCC ピンに接続するデカップリング・セラミック・コンデンサには 4.7 μ F のものを推奨します。
14、8	VIN1、VIN2	PWR	電源入力。 入力電圧範囲 : 4.5V ~ 20V。入力レールに直接接続してください。VIN1 は内蔵リニア駆動回路に電力を供給します。入力が 4.5V ~ 5.5V の場合は、VIN を VCC に直接接続する必要があります。
9、13	PGND	PWR	電源グラウンド。 入力帰還および出力帰還用の電源グラウンド・ピンです。
12、10	PHASE1、 PHASE2	PWR	フェーズ・ノード。 スイッチング周波数のモニタに使用します。フェーズ・ピンは、開放するか、スナバ接続に使用する必要があります。放熱性を高めるには、サーマルビアを介して広い中間層に接続することにより、フェーズ層を放熱に利用します。23 ページの「レイアウト・ガイド」を参照してください。
11	NC	-	未接続ピン。 このピンは内部接続されておらず、開放状態になっています。
15、16	EN/FF1、 EN/FF2	I/O	イネーブル / フィードフォワードの制御。 VIN との間に抵抗分圧回路を接続するか、このピンに対するシステム・イネーブル信号を使用してください。電圧ターンオン・スレッシュホールドは 0.8V です。電圧をスレッシュホールド未満にすると、対応するチャンネルを個別にディスエーブルにできます。また、抵抗分圧回路を介して VIN に接続することにより、UVLO (アンダーボルテージ・ロックアウト) 機能向けに入力電圧をモニタできます。各 EN/FF ピンの電圧は、内部制御ループ・ゲインの個別調整にも使用され、フィードフォワード機能を実現しています。EN/FF は 1.25V から 5V の間に設定してください。各 EN/FF ピンに 1nF のコンデンサを接続することを推奨します。抵抗分圧回路の選択については、表 1 を参照してください。アプリケーションの詳細については、19 ページの「EN/FF のターンオン / オフ」を参照してください。
17	CLKOUT	I/O	クロック出力。 ほかの ISL8225M の入力同期信号向けにクロック信号を供給します。180° フェーズ・シフトのデュアル出力では通常、VCC に接続します。複数の ISL8225M を使用する場合は、表 3 と表 5 を参照してください。モジュールをデュアル出力モードにすると、クロック出力信号がディスエーブルになります。この CLKOUT ピンの電圧レベルのプログラムに応じて、モジュールを DDR / トラッキング向けに動作させることも、フェーズ・シフトを選択可能な 2 つの独立した出力として使用することもできます。表 6 を参照してください。
19	ISHARE	O	カレントシェアの制御。 複数のモジュールをカレントシェア構成にして、共通の電流出力を共有させる場合は、すべての ISHARE ピンを相互に接続してください。ISHARE の電圧は、接続されているすべてのアクティブ・チャンネルの平均電流に相当します。マルチフェーズ・アプリケーションの場合、各 ISHARE ピンに 470pF のコンデンサを接続することを推奨します。デュアル出力やシングル・モジュールのアプリケーションでは通常、開放状態にしてください。
22、26	VSEN1+、 VSEN2+	I	出力電圧の正帰還。 レギュレータの差動リモートセンスの正入力です。抵抗分圧回路をこのピンに接続することによって、出力電圧をプログラムできます。抵抗分圧回路はモジュールの近くに配置し、VOUT と VSEN- のケルビン・センス・トレースを負荷 / プロセッサのセンス・ポイントに接続することを推奨します。図 19 を参照してください。VSEN2+ ピンは、モジュール動作条件のプログラムに使用できます。詳細については表 3 と表 5 を参照してください。
23、25	VOUT1、 VOUT2	PWR	電源出力。 これらのピンと PGND ピンの間に出力負荷を接続します。出力電圧範囲 : 0.6V ~ 6V。
24	PGOOD	O	パワーグッド。 ソフトスタートが完了し、4%のヒステリシスのもとで出力が公称出力レギュレーション・ポイントから 9%以内になると (13%/9%)、オープン・ドレインのパワーグッド信号を発信します。PGOOD は内蔵差動アンプの出力 (VMON) をモニタします。

ISL8225M

絶対最大定格

入力電圧、 V_{IN}	-0.3V ~ +25V
ドライバ・バイアス電圧、 V_{CC}	-0.3V ~ +6.5V
フェーズ電圧、 V_{PHASE}	-0.3V ~ +30V
入出力 (I/O) 制御電圧	-0.3V ~ $V_{CC} + 0.3V$
ESD 定格	
人体モデル (JESD22-A114E に従ってテスト済み)	2kV
機械モデル (JESD22-A115-A に従ってテスト済み)	200V
デバイス帯電モデル (JESD22-C101C に従ってテスト済み)	1kV
タッチアップ定格	
(JESD-78B; Class 2, Level A に従ってテスト済み)	100mA

温度情報

熱抵抗 (代表値)	θ_{JA} (°C/W)	θ_{JC} (°C/W)
QFN パッケージ (Note 5、6)	10.0	0.9
最大保存温度範囲	-55 °C ~ +150 °C	
鉛フリー・リフロープロファイル	図 41 を参照	

推奨動作条件

入力電圧、 V_{IN1} および V_{IN2}	4.5V ~ 20.0V
出力電圧、 V_{OUT1} および V_{OUT2}	0.6V ~ 6.0V
ジャンクション温度範囲	-40 °C ~ +125 °C

注意：過度に長い時間にわたって最大定格点または最大定格付近で動作させないでください。そのような動作条件を課すと製品の信頼性に影響が及ぶ恐れがあるとともに、保証の対象とはならない可能性があります。

NOTE :

- θ_{JA} はデバイスを放熱効率の高い「ダイレクト・アタッチ」機能対応の試験基板に実装し、自由大気中で測定した値です。詳細はテクニカル・ブリーフ「Thermal Characterization of Packaged Semiconductor Devices (TB379)」を参照してください。
- θ_{JC} の測定における「ケース温度」位置は、パッケージ下面のエキスポーズド金属パッドの中心です。

電気的特性 特記のない限り、動作条件は $T_A = +25$ °C、 $V_{IN} = 12V$ です。太字のリミット値は内部ジャンクション温度範囲 -40 °C から +125 °C に対して適用されます (Note 4)。

PARAMETER	SYMBOL	TEST CONDITIONS	MIN (Note 7)	TYP (Note 8)	MAX (Note 7)	UNITS
VCC SUPPLY CURRENT						
Nominal Supply V_{IN} Current	I_{Q_VIN}	$V_{IN} = 20V$; No Load; EN1 = EN2 = high		131		mA
		$V_{IN1} = 20V$; No Load; EN1 = high, EN2 = low		72		mA
		$V_{IN2} = 20V$; No Load; EN1 = 0, EN2 = high		71		mA
		$V_{IN1} = 12V$; No Load; EN1 = high, EN2 = high		134		mA
		$V_{IN} = 4.5V$; No Load; EN1 = EN2 = high		136		mA
		$V_{IN1} = 4.5V$; No Load; EN1 = high, EN2 = low		73		mA
		$V_{IN2} = 4.5V$; No Load; EN1 = 0, EN2 = high		70		mA
INTERNAL LINEAR REGULATOR (Note 9)						
Maximum Current	I_{PVCC}	$V_{CC} = 4V$ to 5.6V		250		mA
Saturated Equivalent Impedance	R_{LDO}	P-Channel MOSFET ($V_{IN} = 5V$)		1		Ω
VCC Voltage Level	VCC	$I_{VCC} = 0mA$	5.15	5.4	5.95	V
POWER-ON RESET (Note 9)						
Rising VCC Threshold		0 °C to +75 °C		2.85	2.97	V
		-40 °C to +85 °C		2.85	3.05	V
Falling VCC Threshold				2.65	2.75	V
System Soft-start Delay	t_{SS_DLY}	After PLL and V_{CC} PORs, and EN above their thresholds		384		Cycles
ENABLE (Note 9)						
Turn-On Threshold Voltage			0.75	0.8	0.86	V
Hysteresis Sink Current	I_{EN_HYS}		23	30	35	μA
Under-voltage Lockout Hysteresis	V_{EN_HYS}	$V_{EN_RTH} = 10.6V$; $V_{EN_FTH} = 9V$, $R_{UP} = 53.6k\Omega$, $R_{DOWN} = 5.23k\Omega$		1.6		V
Sink Current	I_{EN_SINK}	$V_{ENFF} = 1V$	15.4			mA
Sink Impedance	R_{EN_SINK}	$I_{EN_SINK} = 5mA$, $V_{ENFF} = 1V$			64	Ω
OSCILLATOR						
Oscillator Frequency	f_{OSC}	SYNC pin is open		510		kHz

ISL8225M

電気的特性 特記のない限り、動作条件は $T_A = +25^\circ\text{C}$ 、 $V_{IN} = 12\text{V}$ です。太字のリミット値は内部ジャンクション温度範囲 -40°C から $+125^\circ\text{C}$ に対して適用されます (Note 4)。 (続き)

PARAMETER	SYMBOL	TEST CONDITIONS	MIN (Note 7)	TYP (Note 8)	MAX (Note 7)	UNITS
Total Variation (Note 9)		$V_{CC} = 5\text{V}; -40^\circ\text{C} < T_A < +85^\circ\text{C}$	-9		+9	%
FREQUENCY SYNCHRONIZATION AND PHASE LOCK LOOP (Note 9)						
Synchronization Frequency		$V_{CC} = 5\text{V}$	150		1500	kHz
PLL Locking Time		$V_{CC} = 5.4\text{V}, f_{SW} = 500\text{kHz}$		130		μs
Input Signal Duty Cycle Range			10		90	%
PWM (Note 9)						
Minimum PWM OFF Time	$t_{\text{MIN_OFF}}$		310	345	410	ns
Current Sampling Blanking Time	t_{BLANKING}			175		ns
OUTPUT CHARACTERISTICS						
Output Continuous Current Range	$I_{\text{OUT(DC)}}$	$V_{IN} = 12\text{V}, V_{\text{OUT1}} = 1.5\text{V}$	0		15	A
		$V_{IN} = 12\text{V}, V_{\text{OUT2}} = 1.5\text{V}$	0		15	A
		$V_{IN} = 12\text{V}, V_{\text{OUT}} = 1.5\text{V}$, in Parallel mode	0		30	A
Line Regulation Accuracy	$\Delta V_{\text{OUT}}/\Delta V_{IN}$	$V_{IN} = 4.5\text{V to } 20\text{V}$ $V_{\text{OUT1}} = 1.5\text{V}, I_{\text{OUT1}} = 0\text{A}$		0.0065		%
		$V_{\text{OUT2}} = 1.5\text{V}, I_{\text{OUT2}} = 0\text{A}$		0.0065		%
		$V_{IN} = 4.5\text{V to } 20\text{V}$ $V_{\text{OUT1}} = 1.5\text{V}, I_{\text{OUT1}} = 15\text{A}$		0.01		%
		$V_{\text{OUT2}} = 1.5\text{V}, I_{\text{OUT2}} = 15\text{A}$		0.01		%
Load Regulation Accuracy	$\Delta V_{\text{OUT}}/V_{\text{OUT}}$	$V_{IN} = 12\text{V}, 5 \times 22\mu\text{F}, 2 \times 4.7\mu\text{F}$ ceramic capacitor and $1 \times 330\mu\text{F}$ POSCAP $I_{\text{OUT1}} = 0\text{A to } 15\text{A}, V_{\text{OUT1}} = 1.5\text{V}$			1	%
		$I_{\text{OUT2}} = 0\text{A to } 15\text{A}, V_{\text{OUT2}} = 1.5\text{V}$			1	%
Output Ripple Voltage	ΔV_{OUT}	$V_{IN} = 12\text{V}, 3 \times 100\mu\text{F}$ ceramic capacitor and $1 \times 330\mu\text{F}$ POSCAP $I_{\text{OUT1}} = 0\text{A}, V_{\text{OUT1}} = 1.5\text{V}$		11		mV _{p-p}
		$I_{\text{OUT2}} = 0\text{A}, V_{\text{OUT2}} = 1.5\text{V}$		11		mV _{p-p}
		$I_{\text{OUT1}} = 15\text{A}, V_{\text{OUT1}} = 1.5\text{V}$		14		mV _{p-p}
		$I_{\text{OUT2}} = 15\text{A}, V_{\text{OUT2}} = 1.5\text{V}$		14		mV _{p-p}
DYNAMIC CHARACTERISTICS						
Voltage Change for Positive Load Step	$\Delta V_{\text{OUT-DP}}$	Current slew rate = $2.5\text{A}/\mu\text{s}$ $V_{IN} = 12\text{V}, V_{\text{OUT}} = 1.5\text{V}, 2 \times 47\mu\text{F}$ ceramic capacitor and $1 \times 330\mu\text{F}$ POSCAP $I_{\text{OUT1}} = 0\text{A to } 7.5\text{A}$			75	mV _{p-p}
		$I_{\text{OUT2}} = 0\text{A to } 7.5\text{A}$			75	mV _{p-p}
Voltage Change for Negative Load Step	$\Delta V_{\text{OUT-DN}}$	Current slew rate = $2.5\text{A}/\mu\text{s}$ $V_{IN} = 12\text{V}, V_{\text{OUT}} = 1.5\text{V}, 2 \times 47\mu\text{F}$ ceramic capacitor and $1 \times 330\mu\text{F}$ POSCAP $I_{\text{OUT1}} = 7.5\text{A to } 0\text{A}$			70	mV _{p-p}
		$I_{\text{OUT2}} = 7.5\text{A to } 0\text{A}$			70	mV _{p-p}
REFERENCE (Note 9)						
Reference Voltage (Include Error and Differential Amplifier Offsets)	V_{REF1}	$T_A = -40^\circ\text{C to } +85^\circ\text{C}$		0.6		V
			-0.7		0.7	%

ISL8225M

電気的特性 特記のない限り、動作条件は $T_A = +25^\circ\text{C}$ 、 $V_{IN} = 12\text{V}$ です。太字のリミット値は内部ジャンクション温度範囲 -40°C から $+125^\circ\text{C}$ に対して適用されます (Note 4)。(続き)

PARAMETER	SYMBOL	TEST CONDITIONS	MIN (Note 7)	TYP (Note 8)	MAX (Note 7)	UNITS
Reference Voltage (Include Error and Differential Amplifier Offsets)	V_{REF2}	$T_A = -40^\circ\text{C}$ to $+85^\circ\text{C}$		0.6		V
				-0.75	0.95	%
DIFFERENTIAL AMPLIFIER (Note 9)						
DC Gain	UG_{DA}	Unity gain amplifier		0		dB
Unity Gain Bandwidth	$UGBW_{DA}$			5		MHz
VSEN+ Pin Sourcing Current	I_{VSEN+}		0.2	1	2.5	μA
Maximum Source Current for Current Sharing	I_{VSEN1-}	VSEN1- Source Current for Current Sharing when parallel multiple modules, each of which has its own voltage loop		350		μA
Input Impedance	$R_{VSEN+ \text{ to } VSEN-}$	V_{VSEN+}/I_{VSEN+} , $V_{VSEN+} = 0.6\text{V}$		-600		k Ω
Output Voltage Swing			0		$V_{CC} - 1.8$	V
Input Common Mode Range			-0.2		$V_{CC} - 1.8$	V
Disable Threshold	V_{VSEN-}	$V_{MON1,2} = \text{tri-state}$		$V_{CC} - 0.4$		V
OVER-CURRENT PROTECTION (Note 9)						
Channel Over-current Limit	I_{limit1}	$V_{IN} = 12\text{V}$, $V_{OUT1} = 1.5\text{V}$, $R_{SYNC} = \text{Open}$		20		A
	I_{limit2}	$V_{IN} = 12\text{V}$, $V_{OUT2} = 1.5\text{V}$, $R_{SYNC} = \text{Open}$		20		A
Share Pin OC Threshold	V_{OC_SET}	$V_{CC} = 5\text{V}$ (comparator offset included)	1.16	1.20	1.22	V
CURRENT SHARE						
Current Share Accuracy	$\Delta I/I_{OUT}$	$V_{IN} = 12\text{V}$, $V_{OUT} = 1.5\text{V}$ $I_{OUT} = 30\text{A}$, $V_{SEN2-} = \text{high}$		± 10		%
POWER-GOOD MONITOR (Note 9)						
Under-voltage Falling Trip Point	V_{UVF}	Percentage below reference point	-15	-13	-11	%
Under-voltage Rising Hysteresis	V_{UVR_HYS}	Percentage above UV trip point		4		%
Over-voltage Rising Trip Point	V_{OVR}	Percentage above reference point	11	13	15	%
Over-voltage Falling Hysteresis	V_{OVF_HYS}	Percentage below OV trip point		4		%
PGOOD Low Output Voltage		$I_{PGOOD} = 2\text{mA}$			0.35	V
Sinking Impedance		$I_{PGOOD} = 2\text{mA}$			70	Ω
Maximum Sinking Current		$V_{PGOOD} < 0.8\text{V}$		10		mA
OVER-VOLTAGE PROTECTION (Note 9)						
OV Latching-up Trip Point		$EN/FF = \text{UGATE} = \text{LATCH Low}$, $LGATE = \text{High}$	118	120	122	%
OV Non-Latching-up Trip Point		$EN = \text{Low}$, $UGATE = \text{Low}$, $LGATE = \text{High}$		113		%
LGATE Release Trip Point		$EN = \text{Low/HIGH}$, $UGATE = \text{Low}$, $LGATE = \text{Low}$		87		%
OVER-TEMPERATURE PROTECTION (Note 9)						
Over-Temperature Trip (Controller Junction Temperature)				150		$^\circ\text{C}$
Over-Temperature Release Threshold (Controller Junction Temperature)				125		$^\circ\text{C}$

NOTE :

- データシートのリミット値に対する整合性は、製造時テスト、特性評価、設計のいずれか1つまたは複数によって保証されています。
- TYP パラメータは特記のない限り、製造時試験は行っていません。
- 内蔵 IC については、モジュールの組み立て前にパラメータの全数試験を行っています。

代表的な性能特性

効率性 特記のない限り、動作条件は $T_A = +25^\circ\text{C}$ で、図 18 に示すようにフェーズ 2 はディスエーブルです。効率を求める式は次のとおりです。

$$\text{Efficiency} = \frac{\text{Output Power}}{\text{Input Power}} = \frac{P_{\text{OUT}}}{P_{\text{IN}}} = \frac{(V_{\text{OUT}} \times I_{\text{OUT}})}{(V_{\text{IN}} \times I_{\text{IN}})}$$

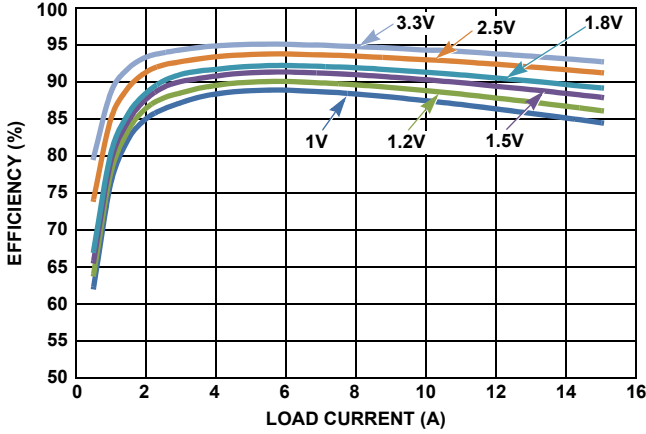


図 3. 効率 vs 負荷電流 (5V_{IN}/500kHz)

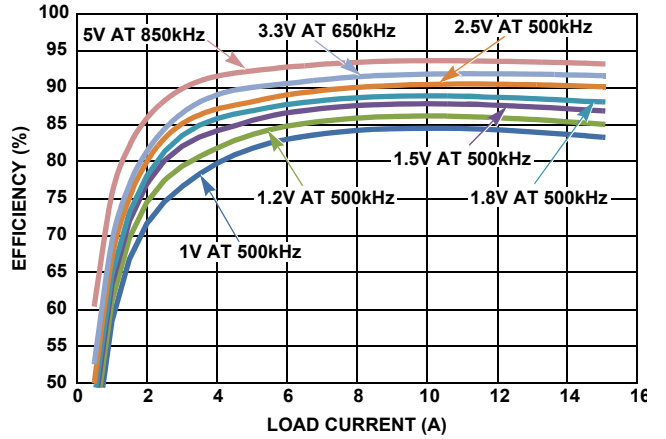


図 4. 効率 vs 負荷電流 (12V_{IN})

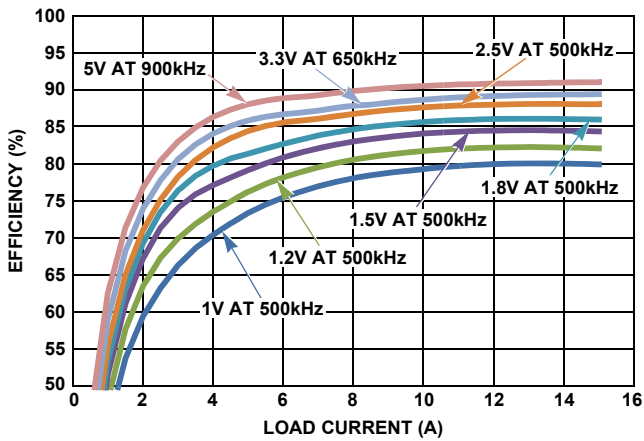


図 5. 効率 vs 負荷電流 (20V_{IN})

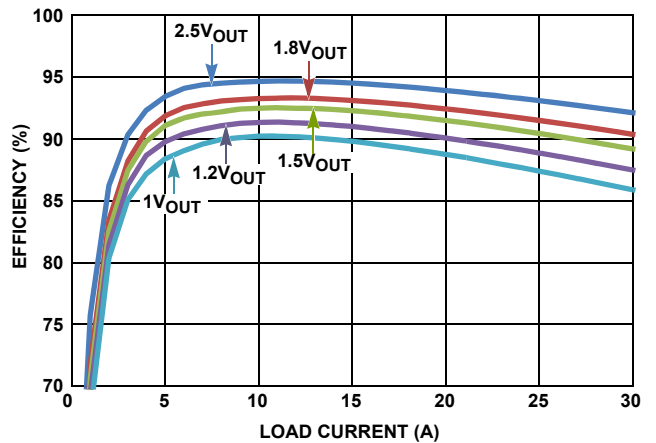


図 6. 効率 vs 負荷電流 (図 19 の並列シングル出力、5V_{IN}/500kHz)

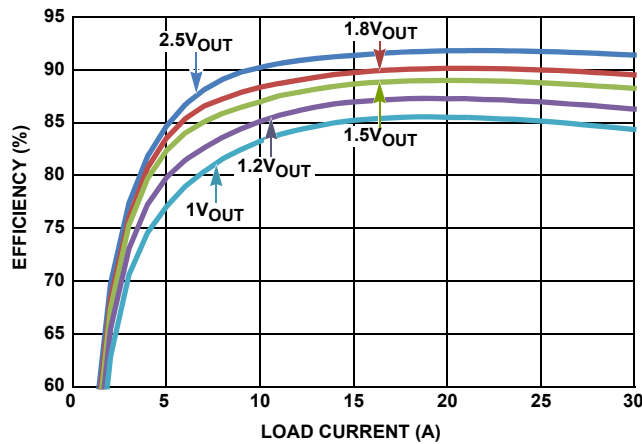


図 7. 効率 vs 負荷電流 (図 19 の並列シングル出力、12V_{IN}/500kHz)

代表的な性能特性 (続き)

過渡応答性能 $V_{IN} = 12V$ 、 $C_{OUT} = 1 \times 10\mu F$ および $3 \times 100\mu F$ セラミック・コンデンサ、 $I_{OUT} = 0A \sim 7.5A$ 、電流スルーレート = $2.5A/\mu s$ 。
特記のない限り、動作条件は $T_A = +25^\circ C$ で、図 18 に示すようにフェーズ 2 はディスエーブルです。

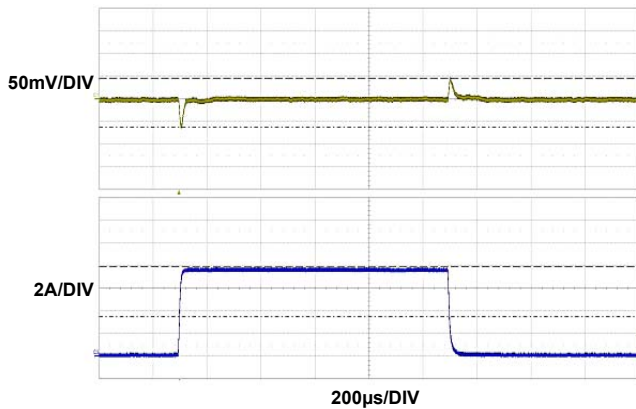


図 8. 1V_{OUT} での過渡応答

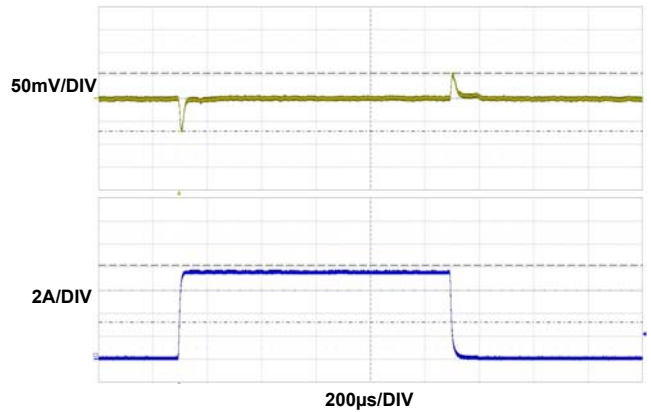


図 9. 1.2V_{OUT} での過渡応答

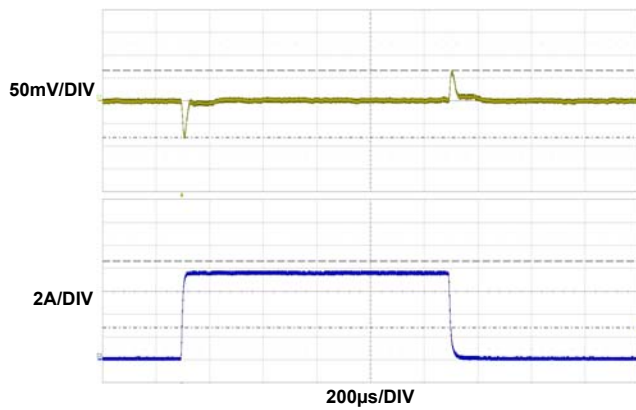


図 10. 1.5V_{OUT} での過渡応答

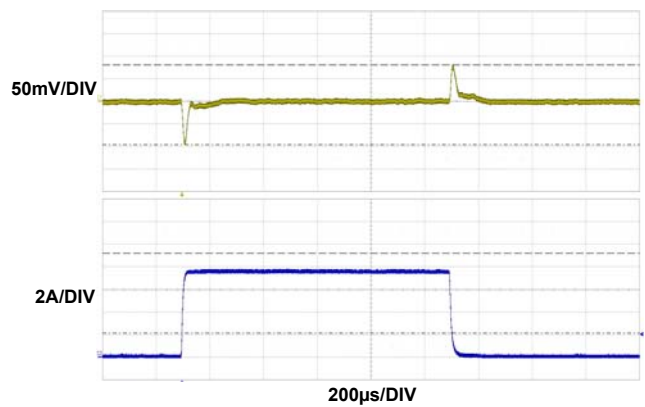


図 11. 1.8V_{OUT} での過渡応答

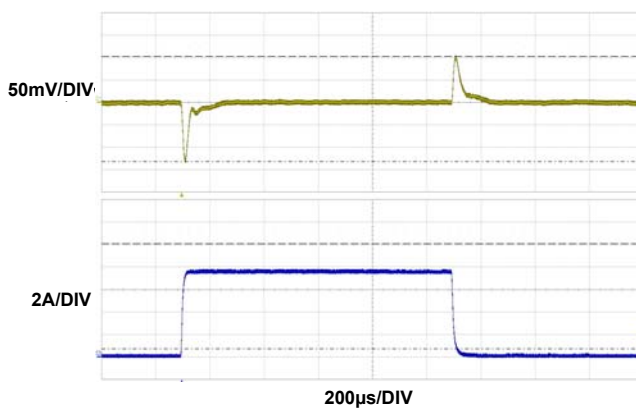


図 12. 2.5V_{OUT} での過渡応答

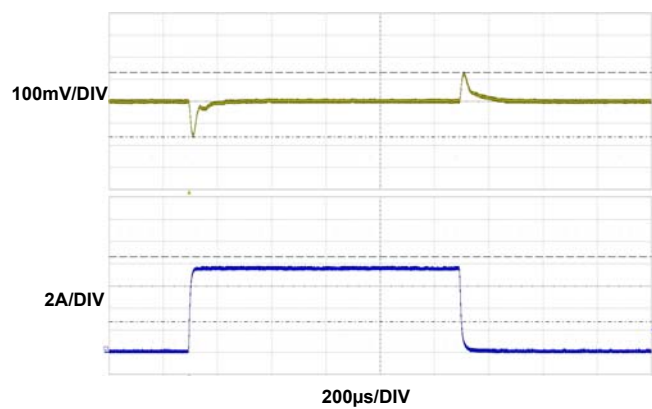


図 13. 3.3V_{OUT} での過渡応答

代表的な性能特性 (続き)

スタートアップ/短絡特性 $V_{IN} = 12V$ 、 $V_{OUT} = 1.5V$ 、 $C_{IN} = 1 \times 180\mu F$ および $2 \times 10\mu F$ /セラミック、 $C_{OUT} = 2 \times 47\mu F$ および $1 \times 330\mu F$ /POSCAP。特記のない限り、動作条件は $T_A = +25^\circ C$ で、図 18 に示すようにフェーズ 2 はディセーブルです。

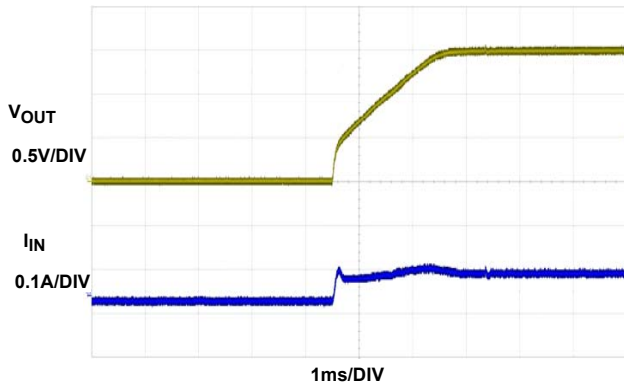


図 14. 0A でのスタートアップ

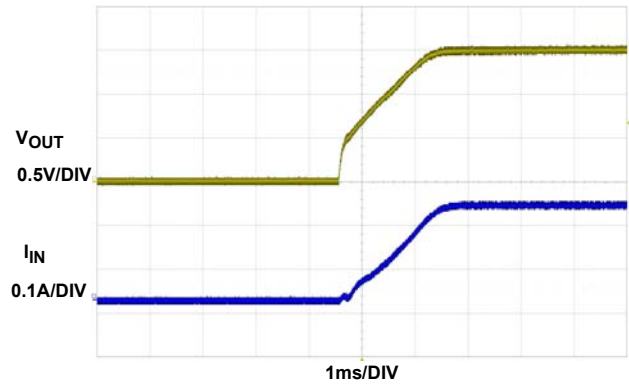


図 15. 15A でのスタートアップ

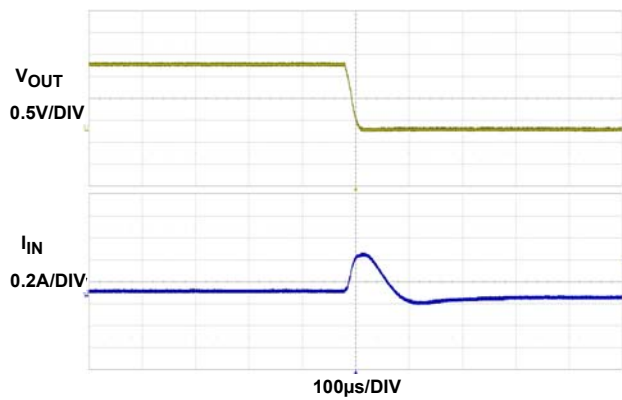


図 16. 0A での短絡

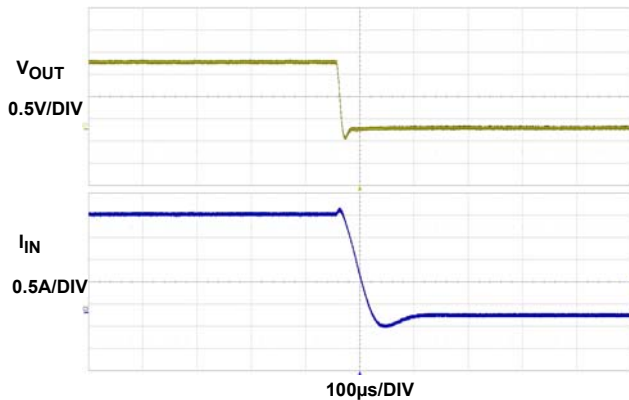


図 17. 15A での短絡

アプリケーション回路例

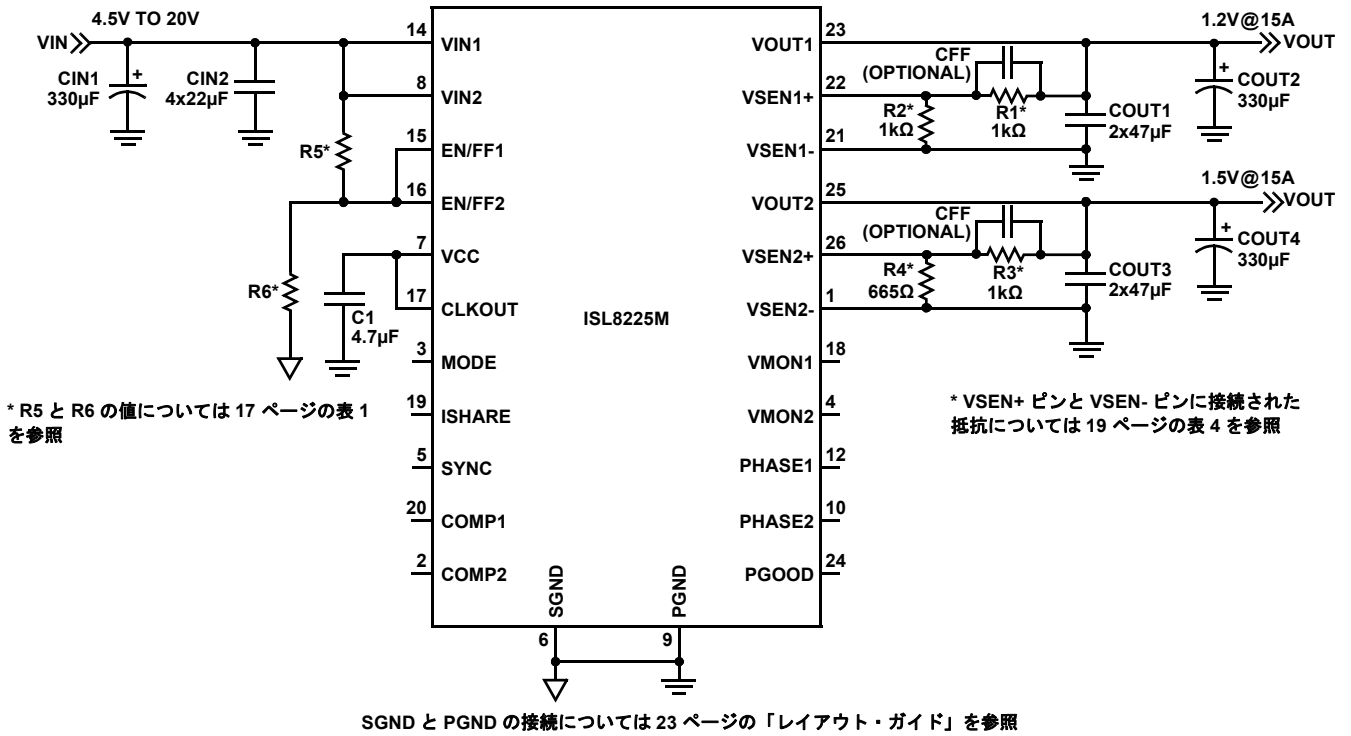


図 18. 1.2V/15A および 1.5V/15A のデュアル出力

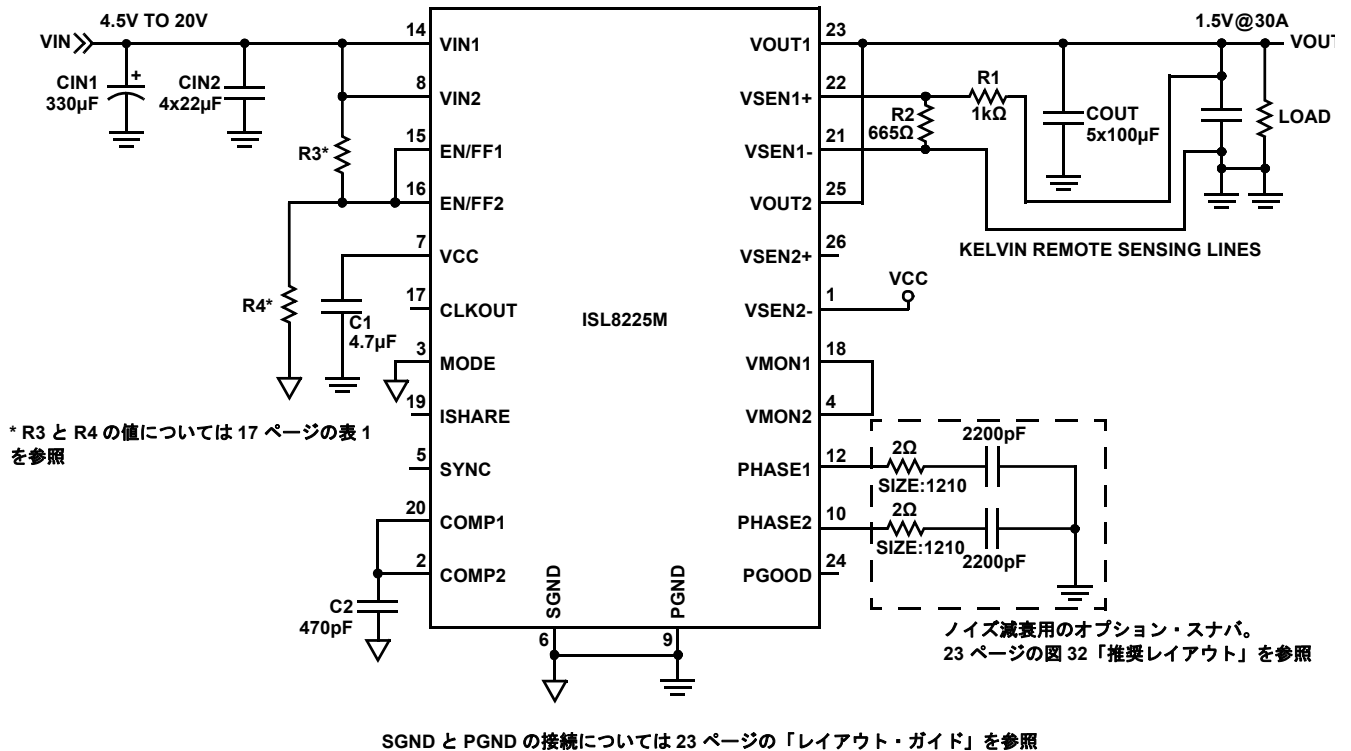


図 19. 1.5V/30A シングル出力の並列使用

アプリケーション回路例 (続き)

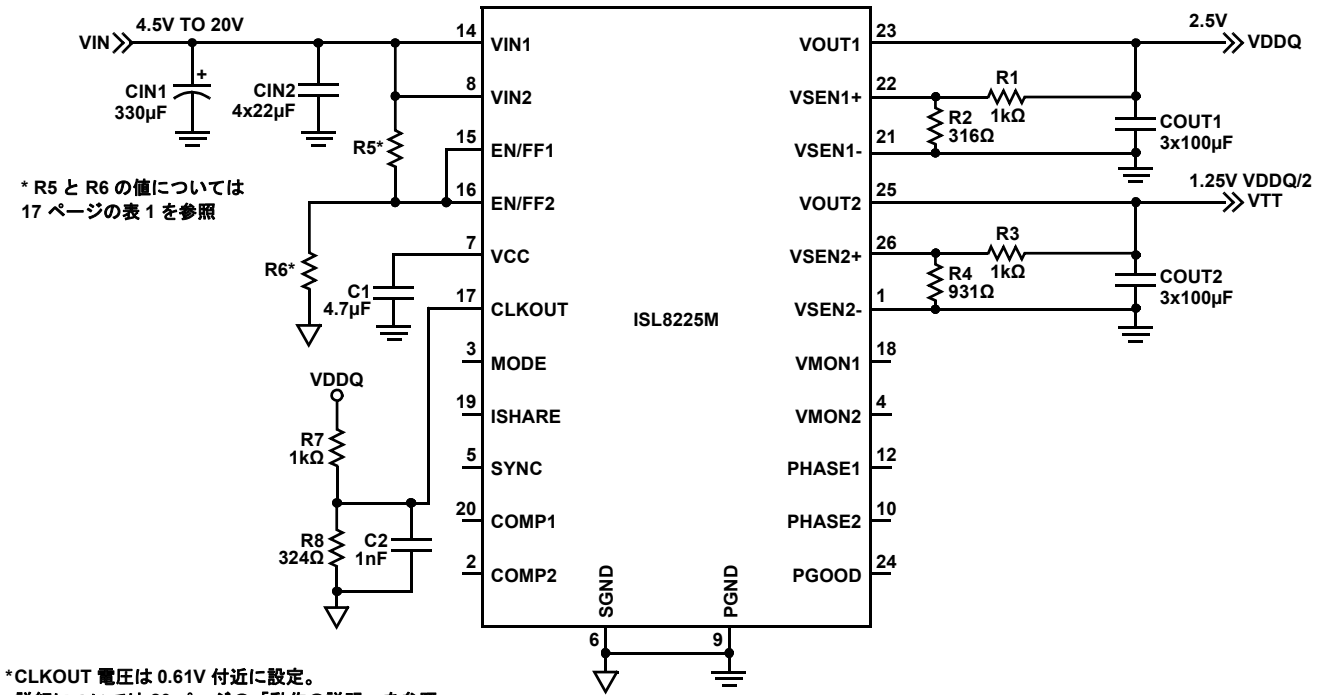


図 20. DDR/トラッキング用

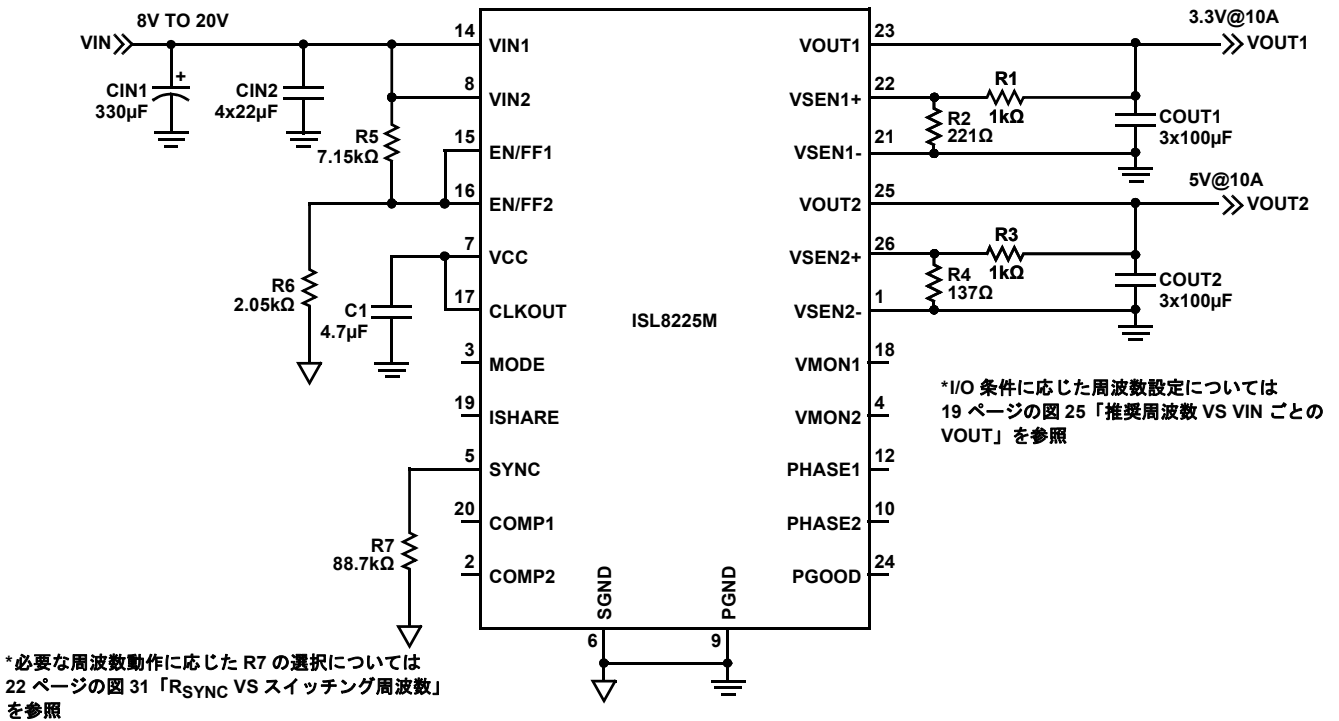


図 21. 周波数を 900kHz に設定した高出力電圧アプリケーション

アプリケーション回路例 (続き)

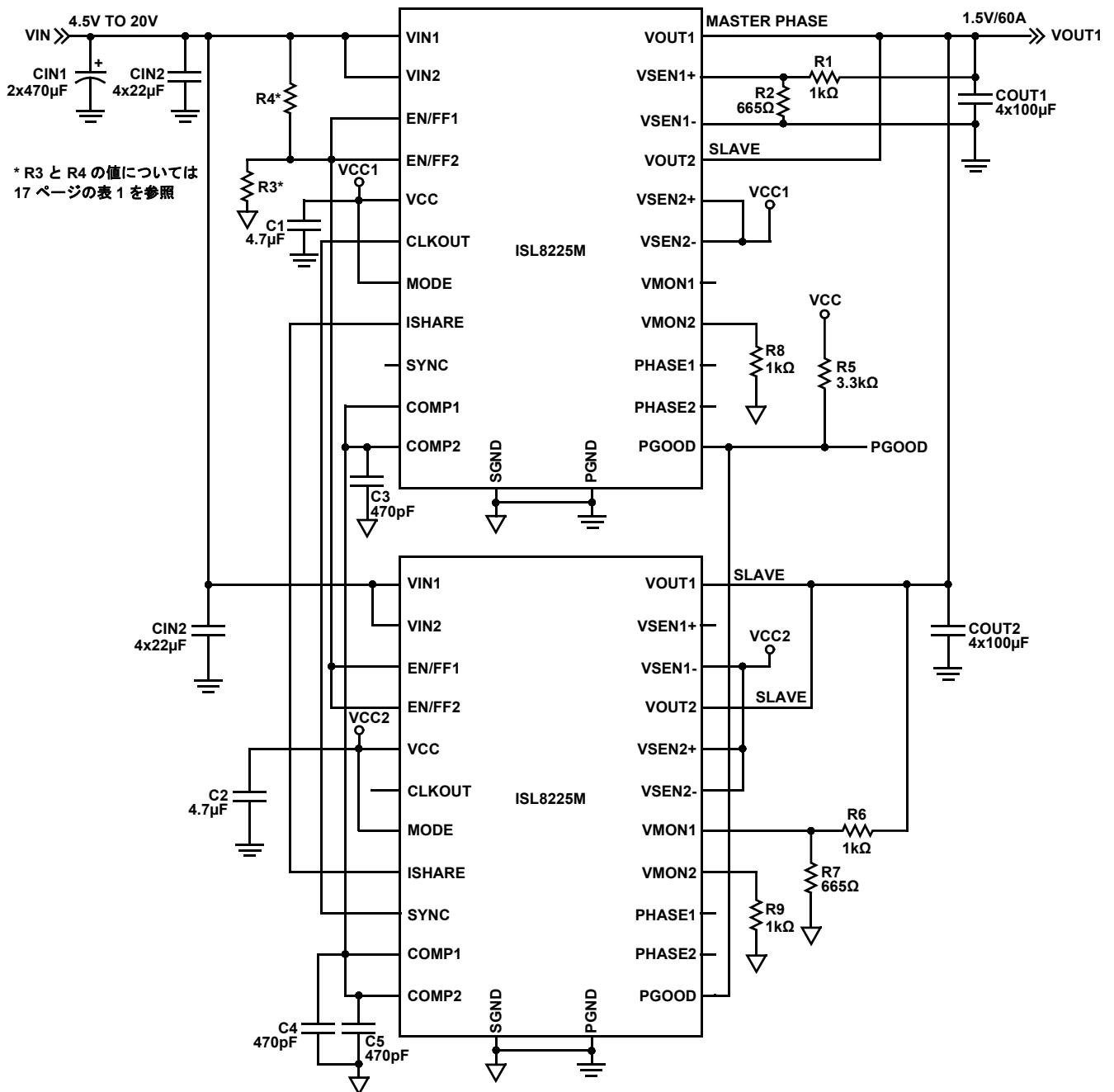


図 22. 90° インターリーブ採用、1.5V/60A 出力の 4 フェーズ並列化

アプリケーション回路例 (続き)

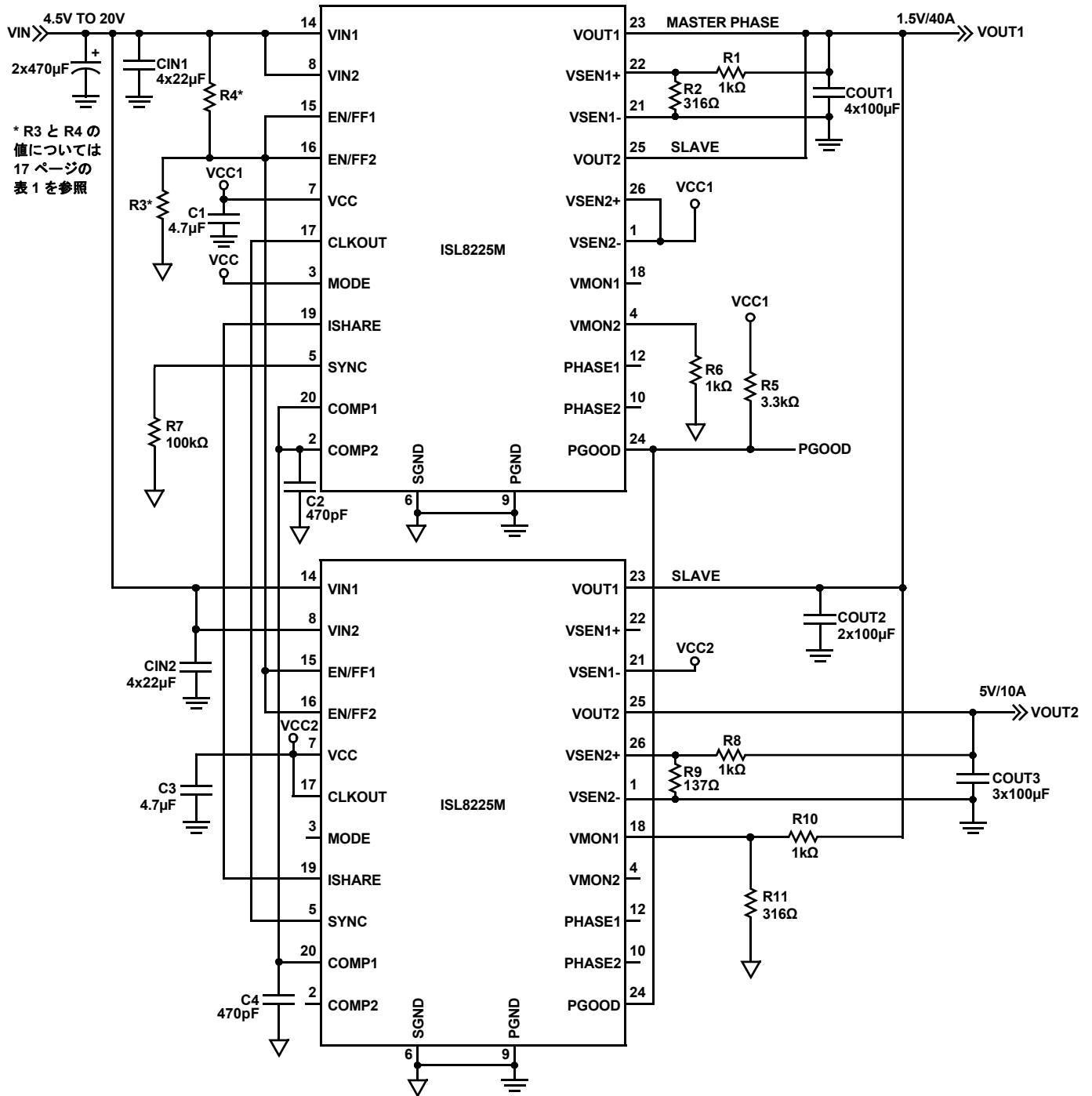


図 23. 90° インターリーブ採用、1.5V/40A 出力の 3 フェーズ並列および 5V/10A 出力の 1 フェーズ

アプリケーション回路例 (続き)

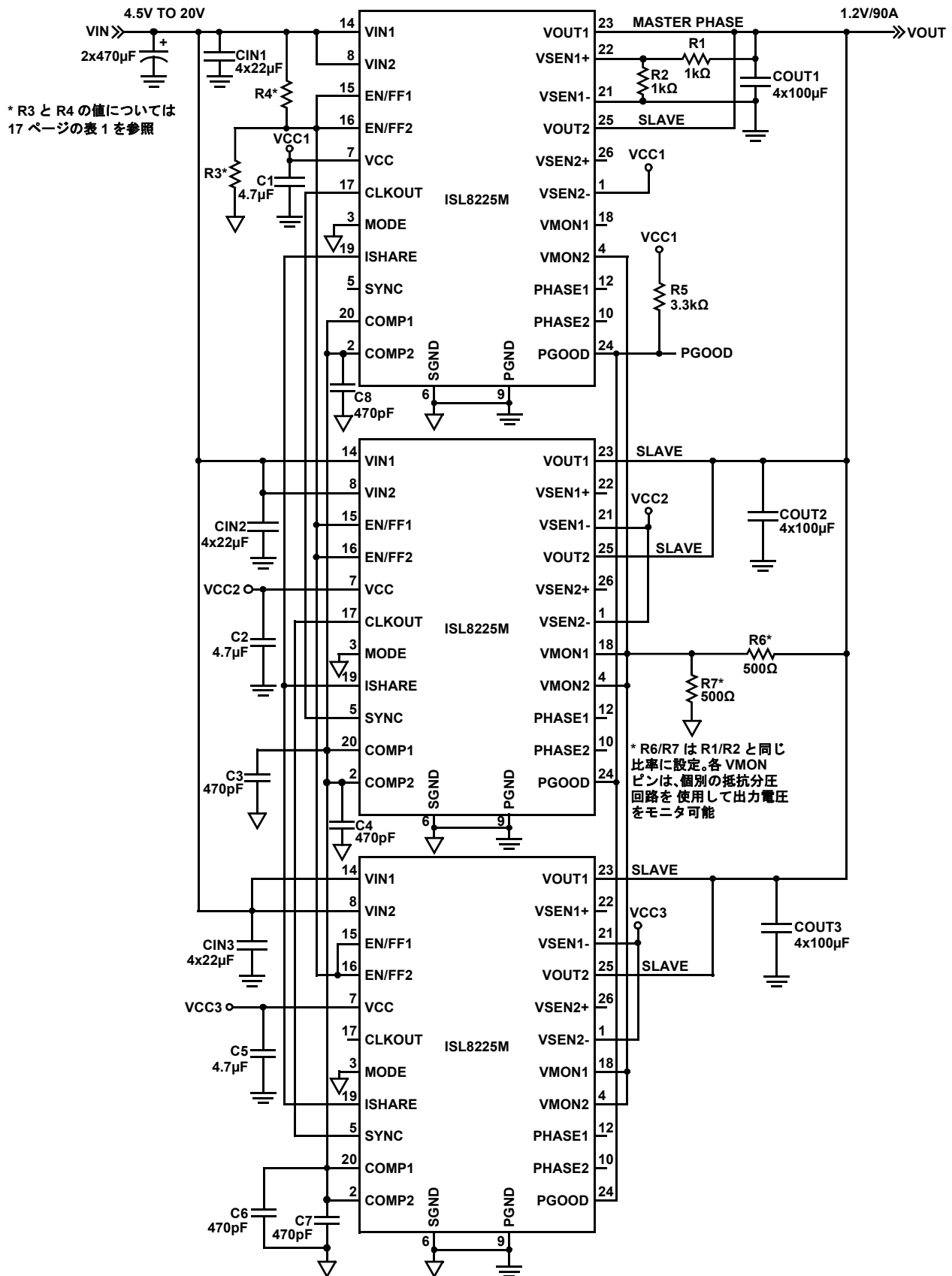


図 24. 90A/1.2V 出力の 6 フェーズ回路

ISL8225M

表 1. ISL8225M の設計ガイド一覧 (図 18 を参照)

CASE	V _{IN} (V)	V _{OUT} (V)	R2 or R4 (Ω)	CIN1 (BULK) (NOTE 10)	CIN2 (CERAMIC)	COUT1 (CERAMIC)	COUT2 (BULK)	CFF (nF)	EN/FF (kΩ) R5/R6 (NOTE 11)	FREQ. (kHz)	R _{SYNC} (kΩ)	LOAD (A) (NOTE 12)
1	5	1	1.5k	1x330μF	1x100μF	1x100μF	1x330μF	None	6.04/3.01	500	None	15
2	5	1	1.5k	1x330μF	1x100μF	3x100μF	None	3.3	6.04/3.01	500	None	15
3	12	1	1.5k	1x330μF	2x22μF	1x100μF	1x330μF	None	6.04/1.50	500	None	15
4	12	1	1.5k	1x330μF	2x22μF	3x100μF	None	3.3	6.04/1.50	500	None	15
5	5	1.2	1.0k	1x330μF	1x100μF	1x100μF	1x330μF	None	6.04/3.01	500	None	15
6	5	1.2	1.0k	1x330μF	1x100μF	3x100μF	None	3.3	6.04/3.01	500	None	15
7	12	1.2	1.0k	1x330μF	2x22μF	1x100μF	1x330μF	None	6.04/1.50	500	None	15
8	12	1.2	1.0k	1x330μF	2x22μF	3x100μF	None	3.3	6.04/1.50	500	None	15
9	20	1.2	1.0k	1x330μF	2x22μF	1x100μF	1x330μF	3.3	6.04/1.50	500	None	15
10	20	1.2	1.0k	1x330μF	2x22μF	3x100μF	None	4.7	6.04/1.50	500	None	15
11	5	1.5	665	1x330μF	1x100μF	1x100μF	1x330μF	None	6.04/3.01	500	None	15
12	5	1.5	665	1x330μF	1x100μF	3x100μF	None	3.3	6.04/3.01	500	None	15
13	12	1.5	665	1x330μF	2x22μF	1x100μF	1x330μF	None	6.04/1.50	500	None	15
14	12	1.5	665	1x330μF	2x22μF	3x100μF	None	3.3	6.04/1.50	500	None	15
15	20	1.5	665	1x330μF	2x22μF	1x100μF	1x330μF	None	6.04/1.50	500	None	15
16	20	1.5	665	1x330μF	2x22μF	3x100μF	None	3.3	6.04/1.50	500	None	15
17	5	2.5	316	1x330μF	1x100μF	1x100μF	1x330μF	None	6.04/3.01	500	None	15
18	5	2.5	316	1x330μF	1x100μF	3x100μF	None	3.3	6.04/3.01	500	None	15
19	12	2.5	316	1x330μF	2x22μF	1x100μF	1x330μF	None	6.04/1.50	650	249	15
20	12	2.5	316	1x330μF	2x22μF	3x100μF	None	3.3	6.04/1.50	650	249	15
21	20	2.5	316	1x330μF	2x22μF	1x100μF	1x330μF	None	6.04/1.50	750	147	14
22	20	2.5	316	1x330μF	2x22μF	3x100μF	None	3.3	6.04/1.50	750	147	14
23	5	3.3	221	1x330μF	1x100μF	1x100μF	1x330μF	None	6.04/3.01	500	None	15
24	5	3.3	221	1x330μF	1x100μF	3x100μF	None	None	6.04/3.01	500	None	15
25	12	3.3	221	1x330μF	2x22μF	1x100μF	1x330μF	None	6.04/1.50	800	124	14
26	12	3.3	221	1x330μF	2x22μF	3x100μF	None	None	6.04/1.50	800	124	14
27	20	3.3	221	1x330μF	2x22μF	1x100μF	1x330μF	None	6.04/1.50	850	107	13
28	20	3.3	221	1x330μF	2x22μF	3x100μF	None	3.3	6.04/1.50	850	107	13
29	12	5	137	1x330μF	2x22μF	1x100μF	1x330μF	None	6.04/1.50	950	82.5	12
30	12	5	137	1x330μF	2x22μF	3x100μF	None	None	6.04/1.50	950	82.5	12
31	20	5	137	1x330μF	2x22μF	1x100μF	1x330μF	None	6.04/1.50	950	82.5	10
32	20	5	137	1x330μF	2x22μF	3x100μF	None	3.3	6.04/1.50	950	82.5	10

NOTE :

- CIN バルク・コンデンサは、長い入力ケーブルに起因するノイズをデカップリングするためのオプションです。CIN2 および COUT1 セラミック・コンデンサは、1 フェーズ用に記載されています。デュアルフェーズ動作の場合は、コンデンサ容量を 2 倍にしてください。
- EN/FF 抵抗分圧回路は VIN に直接接続します。表に掲載されている抵抗は、2 チャネルの EN/FF ピンを相互接続した場合のものです。チャネルごとに個別の抵抗分圧回路を使用する場合は、抵抗値を 2 倍にする必要があります。
- 表に掲載されている最大負荷電流は、+25 °C およびエアフローなしという条件下で一般的なインターシル製 4 層評価ボードを使用した場合のものです。

ISL8225M

表 2. 表 1 における推奨 I/O コンデンサ

VENDOR	VALUE	PART NUMBER
TDK, Input and Output Ceramic	100 μ F, 6.3V, 1210	C3225X5R0J107M
Murata, Input and Output Ceramic	100 μ F, 6.3V, 1210	GRM32ER60J107M
AVX, Input and Output Ceramic	100 μ F, 6.3V, 1210	12106D107MAT2A
Murata, Input Ceramic	22 μ F, 25V, 1210	GRM32ER61E226KE15L
Taiyo Yuden, Input Ceramic	22 μ F, 25V, 1210	TMK325BJ226MM-T
AVX, Input Ceramic	22 μ F, 25V, 1210	12103D226KAT2A
Panasonic POSCAP, Output Bulk	330 μ F, 10V	10TPB330M
Panasonic SMT, Input Bulk	330 μ F, 25V	EEVHA1E331UP

表 3. ISL8225M の動作モード

1ST MODULE (I = INPUT; O = OUTPUT; I/O = INPUT AND OUTPUT, BI-DIRECTION)										MODES OF OPERATION		OUTPUT (SEE DESCRIPTION FOR DETAILS)
MODE	EN1/FF1 (I)	EN2/FF2 (I)	VSEN2- (I)	MODE (I)	VSEN2+ (I)	CLKOUT/REFIN WRT 1 ST (I OR O)	VMON2 (Note 14)	VMON1 OF 2 ND MODULE (Note 14)	2 ND CHANNEL WRT 1 ST (O) (NOTE 13)	OPERATION MODE OF 2 ND MODULE	OPERATION MODE OF 3 RD MODULE	
1	0	0	-	-	-	-	-	-	-	-	-	Disabled
2A	0	1	Active	Active	Active	-	Active	-	VMON1 = VMON2 to Keep PGOOD Valid	-	-	Single Phase
2B	1	0	-	-	-	-	-	-	VMON1 = VMON2 to Keep PGOOD Valid	-	-	Single Phase
3A	1	1	<V _{CC} -0.7V	Active	Active	29% to 45% of V _{CC} (I)	Active	-	0°	-	-	Dual Regulator
3B	1	1	<V _{CC} -0.7V	Active	Active	45% to 62% of V _{CC} (I)	Active	-	90°	-	-	Dual Regulator
3C	1	1	<V _{CC} -0.7V	Active	Active	>62% of V _{CC} (I)	Active	-	180°	-	-	Dual Regulator
4	1	1	<V _{CC} -0.7V	Active	Active	<29% of V _{CC} (I)	Active	-	-60°	-	-	DDR Mode
5A	1	1	V _{CC}	GND	-	60°	VMON1 or Divider	-	180°	-	-	2-Phase
5B	1	1	V _{CC}	GND	-	60°	Divider	Divider	180°	5B	5B	6-Phase
5C	1	1	V _{CC}	GND	-	60°	VMON1 or Divider	Active	180°	5C	5C	3 Outputs
6	1	1	V _{CC}	V _{CC}	GND	120°	1k Ω	Active	240°	2B	-	3-Phase
7A	1	1	V _{CC}	V _{CC}	V _{CC}	90°	1k Ω	Divider	180°	7A	-	4-Phase
7B	1	1	V _{CC}	V _{CC}	V _{CC}	90°	1k Ω	Active	180°	7B	-	2 Outputs (1 st module in Mode 7A)
7C	1	1	V _{CC}	V _{CC}	V _{CC}	90°	1k Ω	Active	180°	3, 4	-	3 Outputs (1 st module in Mode 7A)
8	Cascaded Module Operation MODEs 5B+5B+7A+5B+5B+5B/7A, No External Clock Required											12-Phase
9	External Clock or External Logic Circuits Required for Equal Phase Interval											5, 7, 8, 9, 10, 11, or (PHASE >12)

NOTE :

- 「2ND CHANNEL WRT 1ST」は、「チャンネル 1 に対するチャンネル 2 の関係」を表しています。すなわちチャンネル 2 は、この列に記載された値だけチャンネル 1 よりも遅れます。たとえば、「90°」ではチャンネル 2 がチャンネル 1 よりも 90° 遅れ、「-60°」ではチャンネル 2 がチャンネル 1 よりも 60° 先行します。
- 「VMON1」は、このピンを同一モジュールの VMON1 ピンに接続することを表しています。「Divider」は、抵抗分圧回路を VOUT と SGND の間に接続することを表しています (図 24 を参照)。「1k Ω 」は、1k Ω 抵抗をこのピンと SGND の間に接続することを表しています (図 22 を参照)。

アプリケーション情報

出力電圧のプログラム

ISL8225M は、 $0.6V \pm 0.7\%$ の内部リファレンス電圧を備えています。出力電圧をプログラムするには、図 18 に示すように、抵抗分圧回路 (R1 および R2) を VOUT ピン、VSEN+ ピン、VSEN- ピンの間に接続する必要があります。出力電圧の精度は R1 および R2 の抵抗精度にも依存する点に注意してください。全体的な出力精度を高めるには、高精度の抵抗 (すなわち 0.5%) を選ぶ必要があります。出力電圧は式 1 で求められます。

$$V_{OUT} = 0.6 \times \left(1 + \frac{R1}{R2}\right) \quad (式 1)$$

Note: 上側抵抗 R1 には $1k\Omega$ の値を選択することを推奨します。下側抵抗については、出力電圧別の値を表 4 に示します。

表 4. 出力電圧別の下側抵抗の値 (V_{OUT} vs R2)

R1 (Ω)	V _{OUT} (V)	R2 (Ω)
1k	0.6	Open
1k	0.8	3.01k
1k	1.0	1.50k
1k	1.2	1.00k
1k	1.5	665
1k	1.8	491
1k	2.0	422
1k	2.5	316
1k	3.3	221
1k	5.0	137
1k	6.0	110

入力電圧によっては、オフ時間の最小リミット値 (410ns) が原因で最大出力電圧が設けられています。5V 入力電圧での制限については、図 25 を参照してください。

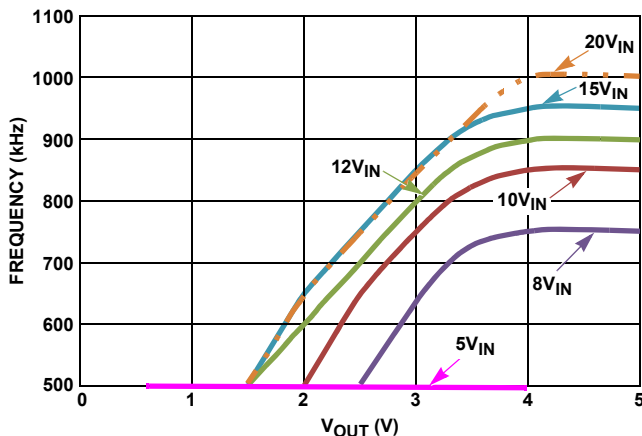


図 25. 推奨周波数 vs V_{IN} ごとの V_{OUT}

出力電圧が高くなると、インダクタ・リップルが増えるため、出力リップルとインダクタの電力損失がいずれも増加します。したがって、周波数を増やしてインダクタ・リップルを減らすことを推奨します。図 25 を参照して動作条件に応じた周波数を選んでから、図 31 を参照して R_{SYNC} を選択してください。

入力コンデンサの選択

入力フィルタ・コンデンサは、DC 入力ラインにおいて電源が許容可能なリップル量に基づいて選択します。コンデンサが大容量になるほど、リップルは減りますが、パワーアップ時のサージ電流の増加について考慮しなければなりません。ISL8225M は、サージ電流を制御・抑制するソフトスタート機能を備えています。入力コンデンサの容量は式 2 で求められます。

$$C_{IN(MIN)} = \frac{I_O \cdot D(1-D)}{V_{P-P} \cdot f_{SW}} \quad (式 2)$$

ここで、

- C_{IN(MIN)} は最小限必要な入力コンデンサ容量 (μF) です。
- I_O は出力電流 (A) です。
- D はデューティサイクルです。
- V_{P-P} は許容ピークツーピーク電圧 (V) です。
- f_{SW} はスイッチング周波数 (Hz) です。

バルク・コンデンサに加えて低 ESR (等価直列抵抗) のセラミック・コンデンサも接続して、各チャネルの VIN と PGND をデカップリングすることを推奨します。推奨コンデンサについては、表 2 を参照してください。このコンデンサは、寄生回路素子のスイッチング電流によって生じる電圧リングを低減します。セラミック・コンデンサはいずれも、モジュール・ピンのできるだけ近くに配置してください。セラミック・コンデンサを選択する際は、推定 RMS 電流を考慮に入れる必要があります。

$$I_{IN(RMS)} = \frac{I_O \cdot \sqrt{D(1-D)}}{\eta} \quad (式 3)$$

2A ~ 3A の RMS リップル電流には通常、それぞれ 10μF の X5R または X7R セラミック・コンデンサが適しています。RMS 電流定格については、コンデンサのベンダーにお問い合わせください。一般的な単一チャネルの 15A 出力アプリケーションでは、デューティサイクルが 0.5 の場合、10μF の X5R または X7R セラミック入力コンデンサが少なくとも 3 個必要です。

出力コンデンサの選択

ISL8225M は、出力電圧リップルを抑制するように設計されています。出力電圧リップルと過渡応答の要件は、ESR が十分に低いバルク出力コンデンサ (C_{OUT}) を使用することで満たせます。C_{OUT} には、低 ESR タンタル・コンデンサ、低 ESR ポリマー・コンデンサ、またはセラミック・コンデンサを使用できます。一般的なコンデンサ容量は 330μF で、デカップリングされたセラミック出力コンデンサをフェーズごとに使用します。コンデンサの詳細については、表 1 と表 2 を参照してください。どのようなセラミック・コンデンサ・アプリケーションでも、フェーズごとの合計容量を推奨の 300μF にして、ループ補償を内部的に最適化すれば、十分に余裕のある安定性を得られます。出力リップルや動的過渡スパイクをさらに低減するには、追加の出力フィルタリングが必要になることがあります。

EN/FF のターンオン/オフ

ISL8225M の各出力は、EN/FF ピンの利用によって個別にターンオン/オフが可能です。並列使用の場合は、すべての EN/FF ピンを相互に接続してください。このピンにはフィードフォワード機能があるので、ピンの電圧によってループ・ゲインをアクティブに調整し、可変入力電圧に対して一定に保つことができます。一般的な使用条件における抵抗分圧回路の選択については、表 1 を参照してください。それ以外の場合について

は、以下の手順に従って EN/FF の設計を行ってください。

1. 抵抗分圧回路を V_{IN} と GND の間に接続して、EN/FF 電圧を 1.25V ~ 5.0V に設定することを推奨します。抵抗分圧回路の比率は、図 21 に示すように、7.15k Ω /2.05k Ω の抵抗を使って 3/1 ~ 4/1 にすることを推奨します。
2. EN のターンオン・ヒステリシスを確認します ($V_{EN_HYS} > 0.3V$ を推奨)。

$$V_{EN_HYS} = N \cdot R_{UP} \cdot 3 \times 10^{-5} \quad (\text{式 4})$$

ここで、

- R_{UP} は抵抗分圧回路の上側抵抗です。
 - N は抵抗分圧回路に接続された EN/FF ピンの総数です。
3. 上側プルアップ抵抗 R_{UP} を流れる最大電流を 7mA 未満に設定します (EN/FF がグラウンドにプルダウンされることを考慮 ($V_{EN/FF} = 0$)). 図 23 を参照してください。3.01k Ω /1k Ω の抵抗を使用して、入力電圧が 5V ~ 20V で動作できるようにしています。また、 R_5 を流れる最大電流は 6.6mA (<7mA) です。
 4. 入力電圧ではなくシステム EN 信号によって EN/FF が制御される場合は、固定 EN/FF 電圧を入力電圧の約 1/3.5 に設定することを推奨します。入力電圧が 12V であれば、3.3V のシステム EN 信号を EN/FF ピンに直接接続できます。
 5. 入力電圧が 5.5V 未満の場合、EN/FF 電圧を 1.5V より高くして安定性を高めることを推奨します。入力電圧を VCC ピンに直接接続して、内蔵 LDO をディスエーブルにすることができます。
 6. 1nF のコンデンサを EN/FF ピンに接続して、フィードフォワード・ループへのノイズの流入を防ぐことを推奨します。

熱に関する考慮事項

通常の 4 層 PCB を使用した場合、ISL8225M の QFN パッケージでは、自然対流で約 10 $^{\circ}\text{C}/\text{W}$ (400LFM では約 5.8 $^{\circ}\text{C}/\text{W}$) という一般的なジャンクション~周囲間熱抵抗 θ_{JA} が生じます。したがって、モジュールのジャンクション温度は式 5 で概算できます。

$$T_{\text{junction}} = P \times \theta_{JA} + T_{\text{ambient}} \quad (\text{式 5})$$

ここで、

- T_{junction} はモジュール内部の最大温度 ($^{\circ}\text{C}$) です。
- T_{ambient} はシステムの周囲温度 ($^{\circ}\text{C}$) です。
- P はモジュール・パッケージの総電力損失 (W) です。
- θ_{JA} はモジュールのジャンクション~周囲間熱抵抗です。

計算で求めた温度 T_{junction} が設計目標を上回る場合は、冷却機構を追加する必要があります。エアフローの追加については、24 ページの「電流ディレーティング」を参照してください。

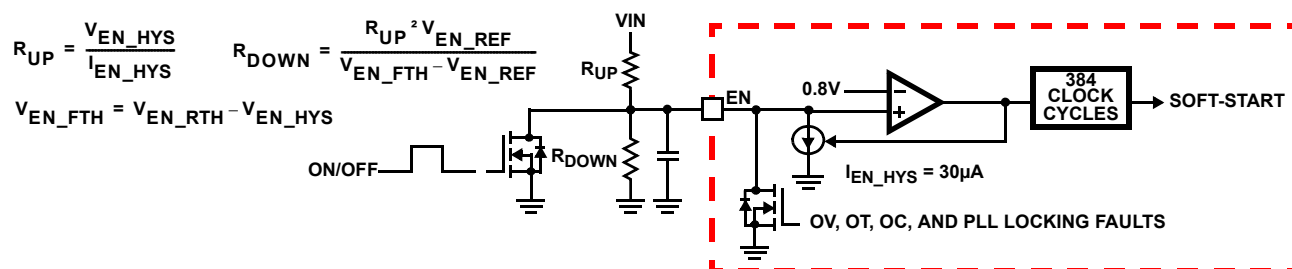


図 26. イネーブル/電圧フィードフォワード回路図

動作の説明

初期化

パワーオン・リセット (POR) 回路は最初、バイアス電圧 (V_{CC}) と EN/FF ピンの電圧を継続的にモニタしています。以下の条件が満たされると、384 クロック・サイクル後に POR 機能がソフトスタート動作を開始します。

(1) EN ピンの電圧が 0.8V を超過、(2) すべての入力電源がそれぞれの POR スレッショルドを超過、(3) PLL ロック時間が終了。イネーブル・ピンには外付け抵抗分圧回路を通じて 30 μA の内部シンク電流が流れており、このピンを電圧モニタとして使用することや、必要なヒステリシスの設定に利用することができます。システムがイネーブルになると、シンク電流は遮断されます。この機能は、アンダーボルテージ保護の強化のために高い入力レール POR を必要とするアプリケーション向けに設計されたものです。たとえば 12V アプリケーションでは、 $R_{UP} = 53.6\text{k}\Omega$ および $R_{DOWN} = 5.23\text{k}\Omega$ に設定すると、1.6V のヒステリシス (V_{EN_HYS}) でターンオン・スレッショルド (V_{EN_RTH}) が 10.6V、ターンオフ・スレッショルド (V_{EN_FTH}) が 9V になります。

シャットダウン時やフォルト状態発生時には、ソフトスタートが迅速にリセットされ、入力が POR 未満に低下するとゲートドライバがすぐに状態を変更します (<100ns)。

イネーブルと電圧フィードフォワード

EN/FF ピンに印加された電圧は、チャネルののこぎり波振幅の調整用に使用されます。モジュールがイネーブルになると、のこぎり波振幅は対応する FF 電圧の 1.25 倍に設定されます。この設定により、一定のゲインが維持されます。また、広い入力電圧範囲にわたって最適なループ応答を得られるように入力電圧が維持されます。

システムが立ち上がり POR に達してからソフトスタートが始まるまで、384 サイクルのディレイがあります。入力バスが定常状態に到達し、かつソフトスタート前に内部ランプ回路が安定できるように、FF ピンでの RC 時間は十分に短くする必要があります。RC 時間が長いと、出力のスタートアップ中やフォルトからの回復時に、内部ランプの振幅が入力バス電圧と同期できないことがあります。一般的なアプリケーションでは、スタートポイントとして 1nF のコンデンサを選択することを推奨します。

EN ピンが相互接続されたマルチモジュール・システムでは、1 つまたは複数のモジュールでフォルト状態が発生した際、一度にすべてのモジュールを迅速にターンオフできます。フォルト状態になると、EN ピンが Low になって、すべてのモジュールがディスエーブルになります。電流バウンスは発生しないので、フォルト発生時に単一のチャネルに過度のストレスが集中することはありません。

フォルト状態では EN ピンがプルダウンされるので、EN ピンから 7mA 以下の電流をシンクするようにプルアップ抵抗 (R_{UP}) を調整する必要があります。基本的に、EN ピンは VCC に直接接続できません。

ソフトスタート

ISL8225M は、プリチャージ式のデジタル・ソフトスタート回路を内蔵しています(図 27 ~ 29)。この回路では、立ち上がり時間がスイッチング周波数に反比例します。立ち上がり時間は、フェーズ・クロックのパルスごとにインクリメントするデジタル・カウンタによって決まります。0V から 0.6V までの合計ソフトスタート時間は、式 6 で概算できます。通常のソフトスタート時間は約 2.5ms です。

$$t_{SS} = \frac{1280}{f_{SW}} \quad (\text{式 6})$$

ISL8225M はプリチャージ出力のもとで動作できます。最初の PWM パルスが検出されるまで、PWM 出力はドライバに入力されません。最初のクロック・サイクルでローサイド MOSFET がオンになり、ブートストラップ・コンデンサに充電します。プリチャージ出力電圧が最終目標レベルより高く 113% のセットポイントより低い場合は、出力電圧が目標電圧まで下がり最初の PWM パルスが生成されるまで、スイッチングは始まりません。最大許容プリチャージ・レベルは 113% です。プリチャージ・レベルが 113% より高く 120% より低い場合は、出力が 113% (LGATE がターンオン) と 87% (LGATE がターンオフ) の間でヒカップ状態になり、EN が Low になります。プリチャージ負荷電圧が目標出力電圧の 120% より高い場合は、コントローラがラッチオフし、パワーアップできません。

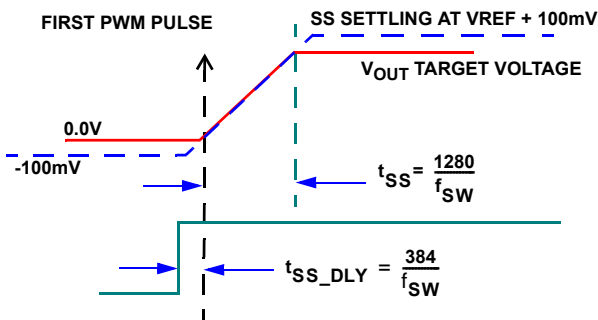


図 27. $V_{OUT} = 0V$ の場合のソフトスタート

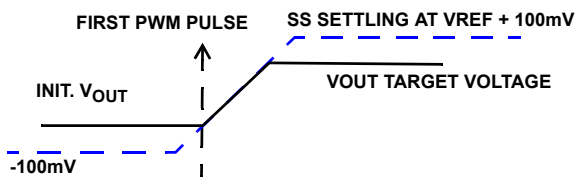


図 28. $V_{OUT} <$ 目標電圧の場合のソフトスタート

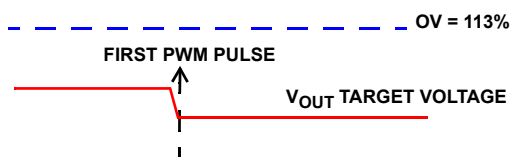


図 29. V_{OUT} が 113% より低く最終目標電圧より高い場合のソフトスタート

パワーグッド

パワーグッド・コンパレータによって VMON ピンの電圧がモニタされます。図 30 にトリップ・ポイントを示します。ソフトスタート・サイクルが完了するまで、PGOOD はアサートされません。両方の EN によってディスエーブルにされるか、VMON の電圧がスレッシュホールド・ウィンドウの範囲外になると、PGOOD が Low になります。フォルトが 3 クロック・サイクル連続するまで、PGOOD は Low になりません。

ソフトスタートが終了するまで、UV 通知はイネーブルになりません。UV 発生時に、OV/OC/OT/PLL フォルト (EN が Low にならないケース) 以外の理由で出力が目標レベルの -13% を下回ると、PGOOD が Low になります。

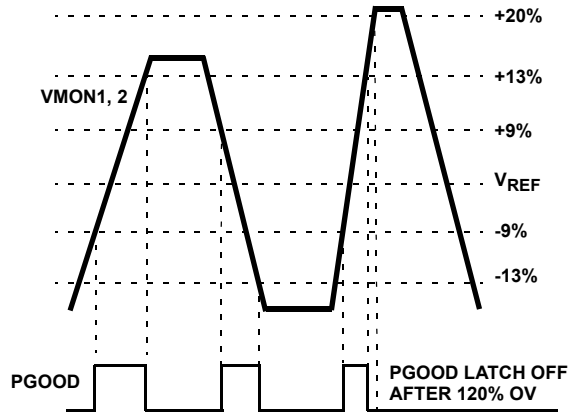
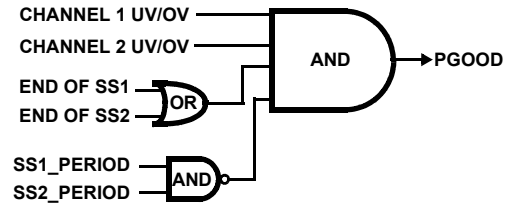


図 30. パワーグッド・スレッシュホールド・ウィンドウ

カレントシェア

並列動作の場合は、異なるモジュールの共有バス電圧 (ISHARE) を相互に接続する必要があります。ISHARE ピンの電圧は内蔵抵抗によって設定され、すべてのアクティブ・モジュールの平均電流に相当します。平均電流信号とローカル・モジュール電流が比較され、カレントシェア・エラー信号が電流補正ブロックに送信されると、それに応じて各モジュールの PWM パルスが調整されます。カレントシェア機能は、モジュール間で 10% 以内の総合精度を実現します。カレントシェア・バスは、外部クロックなしで最大 12 フェーズに対応できます。各 ISHARE ピンに 470pF ~ 1nF のコンデンサを接続することを推奨します。

カレントシェア機能を使用する場合は、すべてのスレーブ・チャンネルで VSEN ピンを VCC に接続し、帰還ループをディスエーブルにします。マスター・チャンネルは、COMP ピンと ISHARE ピンを相互に接続したすべてのモジュールを制御できます。フェーズ・シフト設定については、スレーブ・チャンネルの VMON ピンをすべて、モニタ専用で 0.6V に設定する必要があります。スレーブの VMON ピンは通常、抵抗分圧回路経由で VOUT に接続できます。ただし、15 ページの図 23 に示すように、MODE ピンをモード設定用に VCC に接続した場合、関連する VMON2 ピンを 1.0kΩ 抵抗経由で SGND に接

続する必要があります。16 ページの図24に示すように、MODE ピンを VCC に接続して複数のモジュールを並列化する場合は、スレーブ・モジュールの各 VMON2 ピンを 1.0kΩ 抵抗経由で GND に接続する必要があります。スレーブ・モジュールのすべての VMON1 ピンは抵抗分圧回路経由で VOUT と GND の間に接続することができます。VMON 設定については表 3 も参照してください。

過電圧保護 (OVP)

過電圧 (OV) 保護通知回路は、VMON ピンの電圧をモニタします。OV 保護は、ソフトスタートの開始時点からアクティブです。OV 状態 (>120%) が発生すると、IC がラッチオフします。この状態では、ハイサイド MOSFET (Q1 または Q3) は継続的にラッチオフしたままです。ローサイド MOSFET (Q2 または Q4) は、OV トリップ時に即座にターンオンし、出力電圧が 87%未満に低下すると継続的にターンオフ状態になります。OV 発生時には EN と PGOOD も Low になります。ラッチ条件は、VCC を元の状態に戻すことでのみリセットできます。

ラッチを伴わない OV 保護 (目標レベルの 113%) もあります。EN が Low になり、出力が 113%を超える OV 状態になると、出力が 87%未満に低下するまで、ローサイド MOSFET がターンオン状態になります。この処理では、マルチモジュール・システムの 1 チャンネルで OV が検出された場合でも、電源系統が保護されます。ローサイド MOSFET は、EN = Low でかつ出力電圧が 113%を上回っていると常時ターンオンであり (すべての EN ピンを相互接続)、出力が 87%未満に低下するとターンオフになります。したがって、フェーズ数の多いアプリケーション (マルチモジュール・モード) では、EN ピンを利用して、カスケード接続されたすべてのモジュールを同時にラッチオフできます (マルチフェーズ・モードでは EN ピンを相互接続)。各チャンネルで同一のシンク電流を共有させることにより、ストレスの軽減とフェーズ間のバウンス防止を図っています。

過熱保護 (OTP)

内蔵コントローラのジャンクション温度が +150 °C (代表値) を上回ると、EN ピンが Low になり、カスケード接続されたほかのチャンネルにそれぞれの EN ピン経由で通知します。接続されている EN はすべて Low になります。モジュールのジャンクション温度が +25 °C のヒステリシス (代表値) で +125 °C (代表値) 未満に低下すると、EN が解放されます。

過電流保護 (OCP)

OCP のピーク・レベルは各チャンネルとも約 20A に設定されますが、OC トリップ・ポイントは主に MOSFET $r_{DS(ON)}$ の変動要素 (プロセス、電流、温度) に応じて変化します。スイッチング周波数を増やすと、インダクタ・リップルが減少するので、OCP を高められます。ただし、スイッチング損失の増加に伴ってモジュールの効率が低下します。OCP がトリガされると、コントローラは即座に EN を Low にして、すべてのスイッチをターンオフにします。OCP 機能はスタートアップ時にイネーブルになり、トリガまで 7 サイクルのディレイがあります。

マルチモジュール動作では、ISHARE ピンを接続して V_{ISHARE} を生成できます。これは、すべてのアクティブ・チャンネルの平均電流に相当します。合計システム電流を精度スレッシュホールドと比較することにより、OC 状態であるかどうかを判断します。各チャンネルには、7 サイクルのディレイがある OC セットポイントも設けられています。この方式では、各モジュールを流れる電流がセットポイントより少なくなるようにすることで、マルチモジュール・モードでの破損からモジュールを保護します。

過負荷状態や激しい短絡状態における OCP では、コントローラをヒカップ・モードに移行させることによって、レギュ

レータの RMS 出力電流をフル負荷状態よりも大幅に削減します。3 ソフトスタート・サイクルに相当するディレイを設けることで、問題をクリアする時間を確保しています。ディレイ期間が終わると、コントローラがソフトスタート・サイクルを開始します。出力電圧が上昇し、レギュレーション状態に戻った場合は、PGOOD が High に移行します。ソフトスタート・サイクル中に OC トリップを超えた場合は、コントローラが EN を再び Low にします。PGOOD 信号が Low のままで、ソフトスタート・サイクルが終了します。ディレイ期間が終わると、再びソフトスタート・サイクルが開始されます。OC トリップが再度発生した場合は、フォルトが解消されるまで同じサイクルが繰り返されます。出力電流の変化が速過ぎると、出力電圧によって OVP がトリガされ、モジュールがラッチオフ・モードに移行することがあります。この場合、モジュールのリスタートが必要です。

周波数同期とフェーズ・ロック・ループ

SYNC ピンには、固定周波数動作と同期周波数動作という 2 つの主要機能があります。ISL8225M は、内部で 500kHz の固定周波数に設定されています。抵抗 (R_{SYNC}) を SGND と SYNC ピンの間に接続することによって、スイッチング周波数を 500kHz より高く設定できます。スイッチング周波数を増やすには、SYNC と SGND の間に外付けする抵抗 R_{SYNC} を図 31 の周波数設定曲線に従って選択してください。一般的に使用される周波数での R_{SYNC} については、表 1 を参照してください。

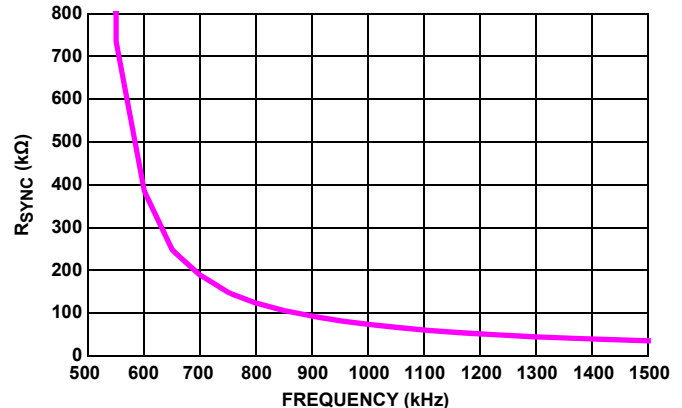


図 31. R_{SYNC} vs スwitching周波数

SYNC ピンを外部矩形パルス波形 (通常 50% デューティサイクルの、別の ISL8225M からの CLKOUT 信号など) に接続すると、ISL8225M のスイッチング周波数を入力波形の基本周波数に同期させることができます。同期可能な周波数は 150kHz ~ 1,500kHz です。印加される矩形パルスの推奨電圧範囲は、3V ~ $V_{CC}+0.3V$ です。周波数同期機能は、CLKOUT 信号の立ち上がりエッジとチャンネル 1 の PWM 信号の立ち下がりエッジを同期させます。PLL のロックまで CLKOUT は利用できません。SYNC ピンにはコンデンサを接続しないことを推奨します。

ロック時間は通常 130μs です。SYNC が安定し、PLL がロックするまで、EN はソフトスタート・サイクル向けに解放されません。マルチフェーズ構成では、すべての EN ピンを相互に接続することを推奨します。

13 クロック・サイクルにわたって同期信号が失われると、モジュールがディスエーブルになります。PLL がロック状態に戻った時点で、ソフトスタート・サイクルが開始され、通常動作に復帰します。SYNC を Low 状態で維持した場合は、モジュールがディスエーブルのままになります。**注意すべき点として、同期信号の急速な変化はモジュールのシャットダウンにつながる可能性があります。**

トラッキング機能

CLKOUT が 800mV 未満の場合、トラッキング用に外部ソフトスタート・ランプ (0.6V) をチャンネル 2 の内部ソフトスタート・ランプと並列動作させることができます。その場合、チャンネル 2 の出力電圧はチャンネル 1 の出力電圧をトラッキングできます。

13 ページの図 20 に示すように、トラッキング機能は一般的な Double Data Rate (DDR) メモリ・アプリケーションに適用できます。チャンネル 2 の出力電圧 (通常は VTT 出力) は、CLKOUT ピンの入力電圧 [通常はチャンネル 1 からの VDDQ*(1+k)] をトラッキングします。外部入力信号と内部リファレンス信号 (ランプおよび 0.6V) については、電圧の最も低いものが FB 信号に対する比較基準として使用されます。DDR 構成では、VDDQ から得た CLKOUT ピンの電圧を VTT がトラッキングできるように、VTT チャンネルは内部ソフトスタート・ランプ後にスタートアップする必要があります。この構成は、EN/FF2 よりも多くのフィルタリングを EN/FF1 に追加することで実現できます。

図 20 の抵抗分圧回路 R7/R8 の比率 (k) は式 7 で求められます。

$$k = \frac{V_{TT}}{0.6V} - 1 \quad (\text{式 7})$$

モードのプログラム

ISL8225M は、デュアル出力、並列シングル出力、または混在出力 (チャンネル 1 が並列、チャンネル 2 がデュアル出力) にプログラムできます。内部カスケード・クロック信号制御を使って複数の ISL8225M (最大 6 モジュール) を組み合わせると、最大で 180A の大電流を供給可能です。動作の詳細については、18 ページの表 3 を参照してください。一般的に使用される設定を表 5 に示します。

表 5. フェーズ・シフト設定

OPERATION	PHASE-SHIFT BETWEEN PHASES	VSEN2-	VSEN2+	CLKOUT	MODE
Dual Output (Figure 18)	180°	N/C	N/C	VCC	N/C
30A (Figure 19)	180°	VCC	N/C	N/C	SGND
60A (Figure 22)	90°	VCC	VCC	N/C	VCC
90A (Figure 24)	60°	VCC	N/C	N/C	SGND

モジュールがデュアル出力状態の場合、ISL8225M は CLKOUT の電圧レベル (VCC の抵抗分圧回路出力によって設定) に応じて動作し、表 6 に示すようにフェーズ・シフトします。フェーズ・シフトは、VCC が POR を上回るとラッチします。その場ですぐに変更することはできません。

表 6. デュアル出力時のフェーズ・シフトをプログラムするための CLKOUT 設定

CLKOUT VOLTAGE SETTING	PHASE FOR CLKOUT WRT CHANNEL 1	RECOMMENDED CLKOUT VOLTAGE
<29% of VCC	-60°	15% VCC
29% to 45% of VCC	90°	37% VCC
45% to 62% of VCC	120°	53% VCC
62% of VCC	180°	VCC

レイアウト・ガイド

安定動作、低損失、優れた放熱性を実現するには、レイアウトについて考慮する必要があります (図 32)。

- VOUT1、VOUT2、PHASE1、PHASE2、PGND、VIN1、VIN2 には広い銅エリアが必要です。十分なサーマルビアを設けて、モジュールの下や周囲のさまざまな層に接続してください。
- モジュールのできるだけ近くで、VIN、VOUT、PGND の間に高周波セラミック・コンデンサを接続し、高周波ノイズを最小限に抑えてください。
- レギュレーション・ポイントへのリモートセンス・トレースを使って、厳密な出力電圧レギュレーションを行ってください。各センス・トレースは、互いに近付けて並列に配置します。
- PHASE1 パッドと PHASE2 パッドは、スイッチング・ノイズを生じるスイッチング・ノードです。これらのパッドはモジュールの下に配置してください。ノイズに敏感なアプリケーションの場合は、フェーズ・パッドを PCB の最上層と中間層のみに配置することを推奨します。また、フェーズ・パッドは、PCB 最下層の外側に面して配置しないでください。
- VSEN+、VSEN-、ISHARE、COMP、VMON のセンス・ポイントのようにノイズに敏感な信号トレースを PHASE ピンの近くに配線しないでください。
- 信号グラウンド・ピンに接続された部品には、独立した SGND 銅エリアを使用してください。図 32 に示すように、ユニット下側の 1 カ所に複数のビアを設けて SGND を PGND に接続し、ノイズ・カップリングを回避します。VIN、PHASE、VOUT のノイズの多い層に囲まれたビアをグラウンドに接続しないでください。デュアル出力アプリケーションの場合、SGND と PGND の間のビアは、SGND ピンのできるだけ限り近くに配置することを推奨します。
- 図 32 に示すように、基板レイアウトの下側にオプションのスナバを配置して、PHASE 層と PGND 層を接続することができます。

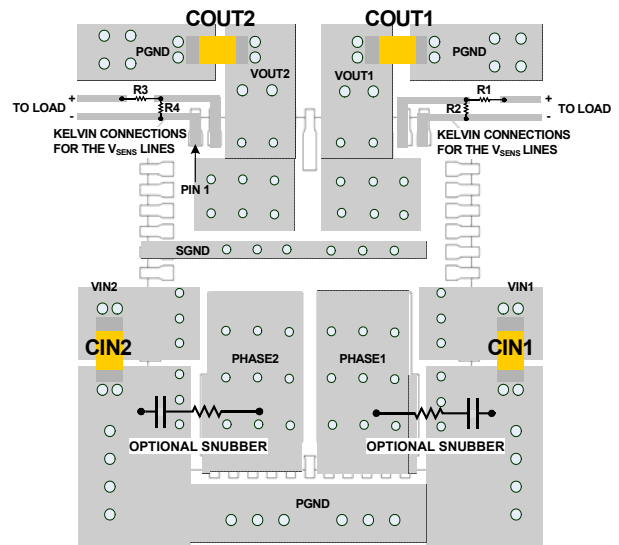


図 32. 推奨レイアウト

電流ディレーティング

実験に基づく電力損失曲線 (図 33 および 34) と、熱モデリング解析で得られた θ_{JA} を利用して、モジュールの熱に関する考慮事項を評価できます。ディレーティング曲線は、温度を最大ジャンクション温度 (+120 °C) 未満に保ちつつ許容可能な最大電力から得られたものです (図 35 ~ 40)。最大 +120 °C のジャンクション温度は、モジュールが一定の電流を維持できるように考慮されたものであり、かつ、定格ジャンクション温度 (+125 °C) に対して 5 °C の安全性マージンが確保されています。必要であれば、ユーザーは実際のアプリケーションに応じて安全性マージンを調整できます。ディレーティング曲線はすべて、ISL8225MEVAL4Z 評価ボード上のテストで得られたものです。実際のアプリケーションでは、その他の熱源や設計マージンについても考慮する必要があります。

パッケージの説明

ISL8225M は、クワッド・フラットパック・ノーリード (QFN) パッケージ上に統合されています。このパッケージは、優れた放熱効率と導電率、軽量、小型という利点を備えています。QFN パッケージは表面実装技術に適用可能であり、業界で広く普及しつつあります。ISL8225M には、抵抗、コンデンサ、インダクタ、制御 IC など複数の種類のデバイスが搭載されています。ISL8225M は、エキスポーズド・銅サーマルパッドを備えた銅リードフレーム・ベースのパッケージなので、導電率と放熱効率に優れています。ポリマー・モールド・コンパウンドで銅リードフレームとマルチコンポーネント・アセンブリをオーバーモールド成形することにより、搭載デバイスを保護しています。

27 ページの L26.17x17 パッケージ寸法図に、パッケージの寸法、PCB レイアウト・パターン例、メタルマスク・パターンの設計例を示します。図 41 は、リフロープロファイル・パラメータの例を示しています。以下のガイドラインは一般的な設計ルールです。パラメータはユーザーのアプリケーションに応じて変更できます。

PCB レイアウト・パターンの設計

ISL8225M の下側はリードフレーム構造になっており、表面実装技術によって PCB に取り付けます。28 ページの L26.17x17 パッケージ寸法図に、PCB レイアウト・パターンを示します。PCB レイアウト・パターンは基本的に、QFN エキスポーズド・パッドおよび I/O 端子の寸法と 1:1 です。

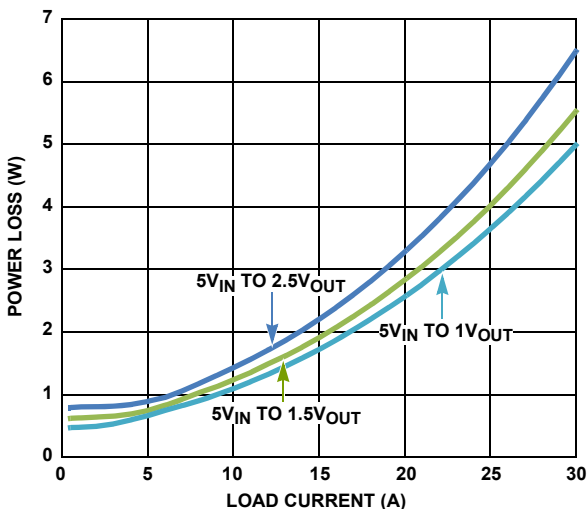


図 33. 5V_{IN} の電力損失曲線

ただし、PCB ランドは QFN 端子より約 0.2mm (最大 0.4mm) だけ長くなっています。このように延長することによって、パッケージ周囲におけるハンダ・フィレットの形成が容易になり、確実に検査しやすいハンダ・ジョイントが可能になります。PCB レイアウト上のサーマルランドは、パッケージのエキスポーズド・ダイ・パッドと 1:1 にする必要があります。

サーマルビア

サーマルランドの下に 1.0mm ~ 1.2mm ピッチでサーマルビアを格子状に配置し、内部の銅層に接続する必要があります。ビアの直径は約 0.3mm ~ 0.33mm で、バレルには約 2.0 オンスの銅メッキを施します。ピッチを狭めてビアを追加すると放熱性が向上しますが、ビアを増やすほど効果は減少します。サーマルランドのサイズに必要な数だけを、基板の設計ルールで許容される範囲で使用してください。

メタルマスク・パターンの設計

周囲の I/O ランド上のリフロー・ハンダ・ジョイントは、スタンドオフ高さが約 50µm ~ 75µm (2mil ~ 3mil) になるようにしてください。クリーム・ハンダ・メタルマスクの設計は、信頼の高い最適なハンダ・ジョイントを実現する上での最初の手順です。メタルマスクの開口部のサイズとランド・サイズとの比率は通常 1:1 です。ただし、隣接する I/O ランド間をハンダが埋めてしまわないように、開口部の幅をわずかに狭くしてもかまいません。

広いサーマルランド上でクリーム・ハンダの量を減らすには、1つの大きな開口部よりも、複数の小さな開口部を設けることを推奨します。メタルマスクのプリント・エリアは、PCB レイアウト・パターンの 50% ~ 80% をカバーする必要があります。28 ページの L26.17x17 パッケージ寸法図に、ハンダ・メタルマスク・パターンの例を示します。パッド間のギャップ幅は 0.6mm です。パッドを設計する際は、メタルマスク・パターン全体の釣り合いを考慮してください。

電解研磨された台形壁を持つ、レーザーカット加工のステンレス製メタルマスクを推奨します。電解研磨によって開口部の壁を滑らかにすると、表面摩擦が減り、ハンダ離れが改善されるので、ボイドが減少します。台形断面開口部 (TSA) の使用も、ハンダ離れの促進と、レンガ状のハンダ皮膜の形成によって、部品の確実な固定に役立ちます。このように広いピッチ (1.0mm) の QFN の場合、0.1mm ~ 0.15mm の厚さのメタルマスクを推奨します。

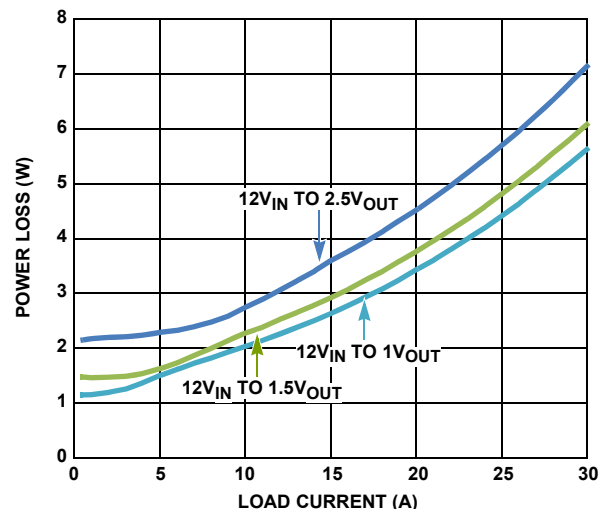


図 34. 12V_{IN} の電力損失曲線

ディレーティング曲線 以下のグラフはすべて、 $T_J = +120^\circ\text{C}$ について作成したものです。

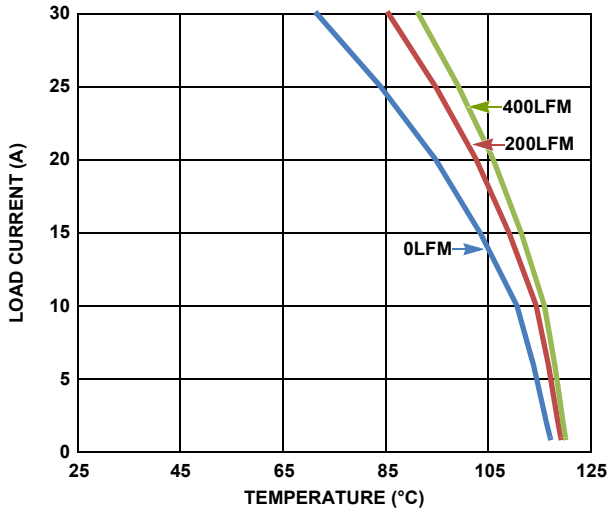


図 35. $5V_{IN} \sim 1V_{OUT}$ のディレーティング曲線

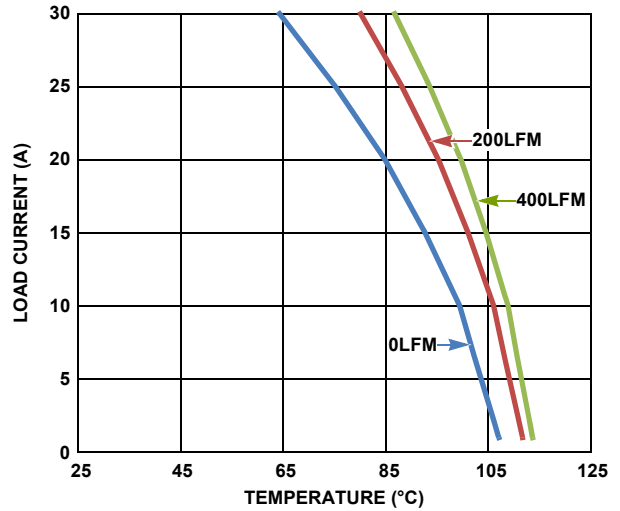


図 36. $12V_{IN} \sim 1V_{OUT}$ のディレーティング曲線

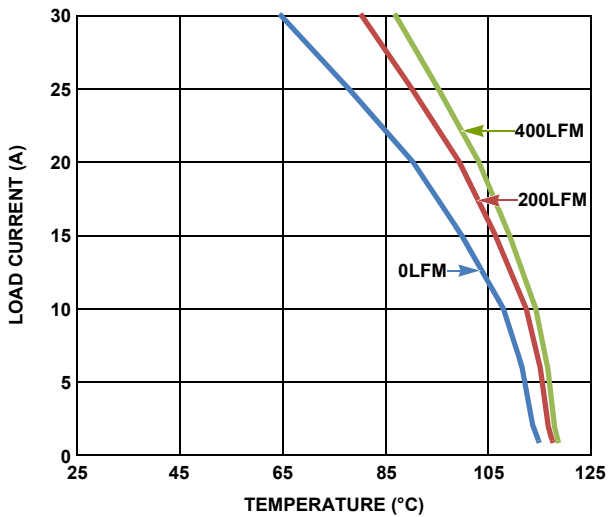


図 37. $5V_{IN} \sim 1.5V_{OUT}$ のディレーティング曲線

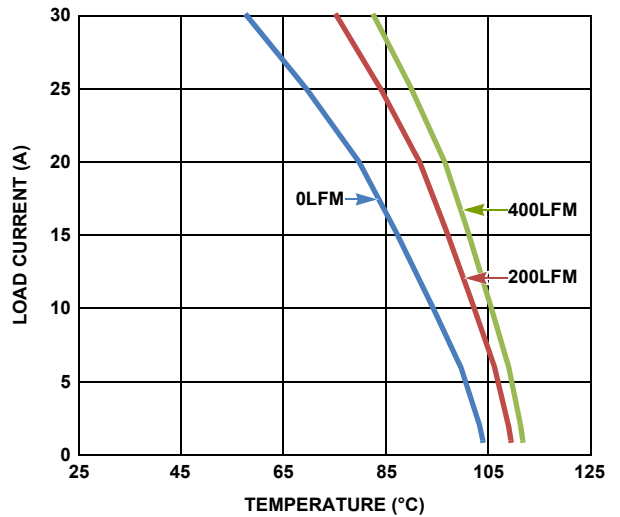


図 38. $12V_{IN} \sim 1.5V_{OUT}$ のディレーティング曲線

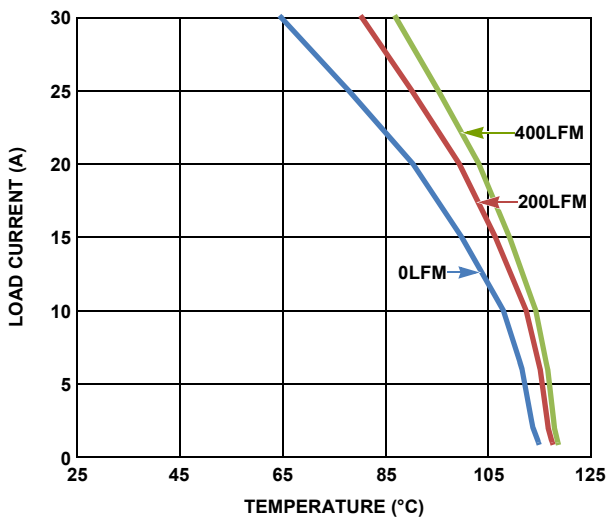


図 39. $5V_{IN} \sim 1.5V_{OUT}$ のディレーティング曲線

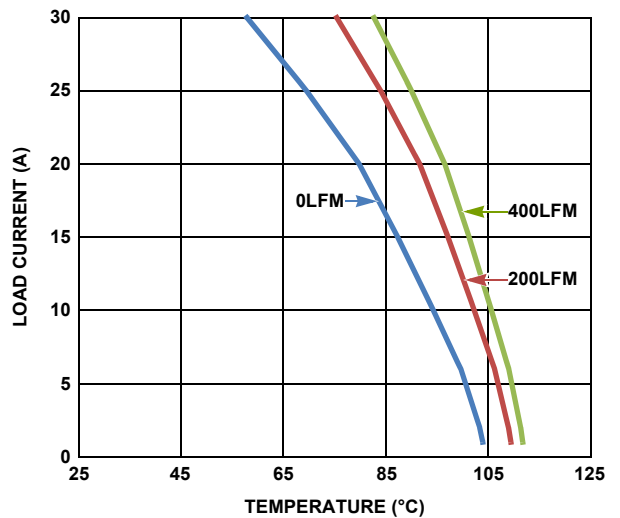


図 40. $12V_{IN} \sim 1.5V_{OUT}$ のディレーティング曲線

リフローパラメータ

QFN は実装高さが低いので、ANSI/J-STD-005 に準拠した「No Clean」Type 3 クリーム・ハンダを推奨します。リフロー時には窒素パーズも推奨します。システム基板のリフロープロファイルは実装された基板全体のサーマルマスによって異なるので、QFN 固有のハンダ・プロファイルを定義することは実用的ではありません。図 41 のプロファイルは、さまざまな製造方式やアプリケーション向けにカスタマイズする際のガイドラインとして掲載してあります。

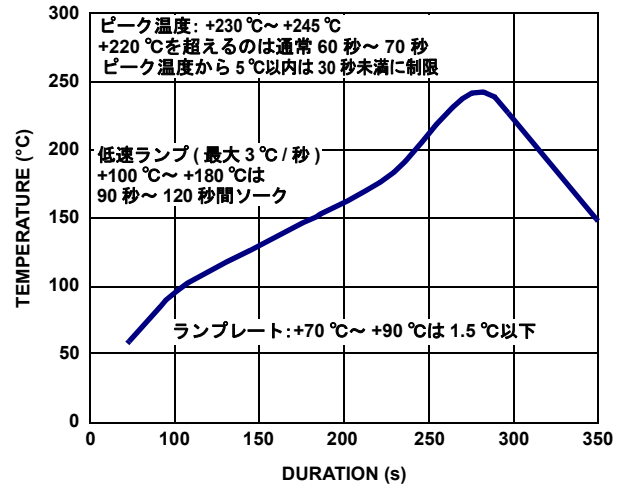


図 41. リフロープロファイル例

改訂履歴

この改訂履歴は参考情報として掲載するものであり、正確を期すように努めていますが、内容を保証するものではありません。最新のデータシートについてはインターシルのウェブサイトをご覧ください。

日付	レビジョン	変更点
2013 年 1 月 4 日	FN7822.1	6 ページの「温度情報」で「最大保存温度範囲」を「-40°C~+150°C」から「-55°C~+150°C」に変更。 19 ページの「入力コンデンサの選択」で (式 2) に「 f_{SW} 」を追加。「 f_{SW} はスイッチング周波数 (Hz) です。」を追加。
2012 年 12 月 3 日	FN7822.0	初版

インターシルについて

インターシルは、高性能アナログ、ミクストシグナルおよびパワーマネジメント半導体の設計、製造で世界をリードする企業です。インターシルの製品は、産業用機器、インフラ、パーソナル・コンピューティング、ハイエンド・コンシューマの分野で特に急速な成長を遂げている市場向けに開発されています。インターシルの詳細や、インターシル・チームの一員になる方法については、ウェブサイト www.intersil.com とキャリア・ページを参照してください。

アプリケーション情報、関連ドキュメント、関連部品は、それぞれの製品情報ページを参照してください。また、ISL8225M の製品情報ページをご覧ください。お使いのデータシートが最新であることをご確認ください。

本データシートに関するご意見は www.intersil.com/askourstaff へお寄せください。

信頼性に関するデータは rel.intersil.com/reports/search.php を参照してください。

そのほかの製品については www.intersil.com/product_tree/ を参照してください。

インターシルは、www.intersil.com/design/quality/ に記載の品質保証のとおり、ISO9000 品質システムに基づいて、製品の製造、組み立て、試験を行っています。

インターシルは、製品を販売するにあたって、製品情報のみを提供します。インターシルは、いかなる時点においても、予告なしに、回路設計、ソフトウェア、仕様を変更する権利を有します。製品を購入されるお客様は、必ず、データシートが最新であることをご確認ください。インターシルは正確かつ信頼に足る情報を提供できるよう努めていますが、その使用に関して、インターシルおよび関連子会社は責を負いません。また、その使用に関して、第三者が所有する特許または他の知的所有権の非侵害を保証するものではありません。インターシルおよび関連子会社が所有する特許の使用権を暗黙的または他の方法によって与えるものではありません。

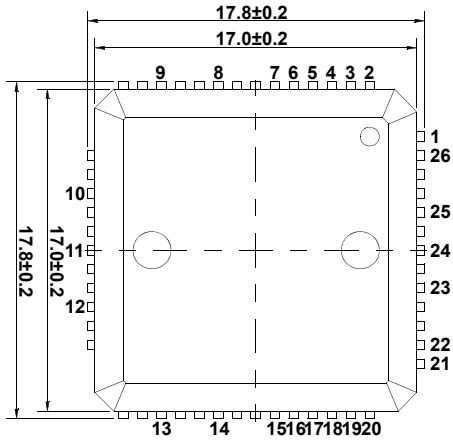
インターシルの会社概要については www.intersil.com をご覧ください。

パッケージ寸法図

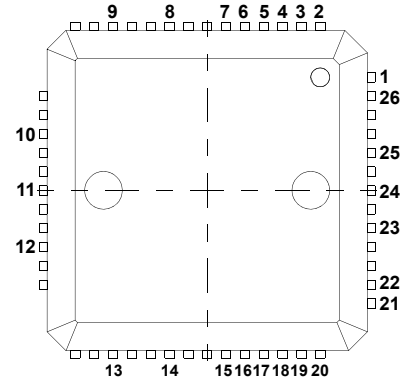
L26.17x17

26 LEAD QUAD FLAT NO-LEAD PLASTIC PACKAGE (PUNCH QFN)

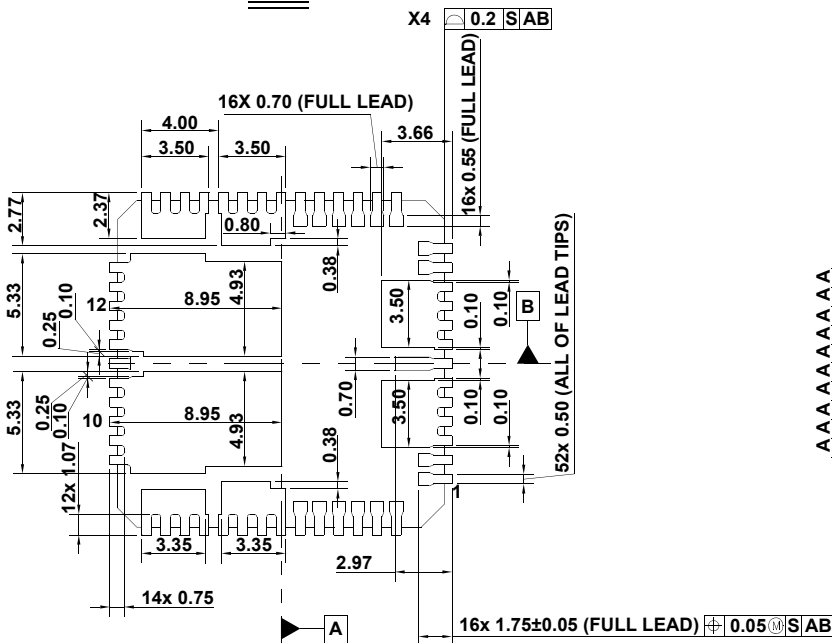
Rev 4, 10/12



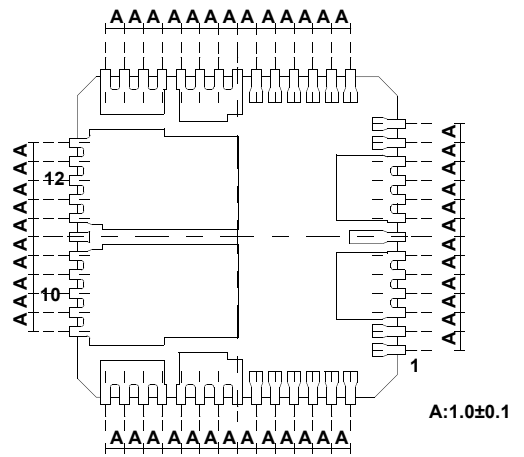
上面図



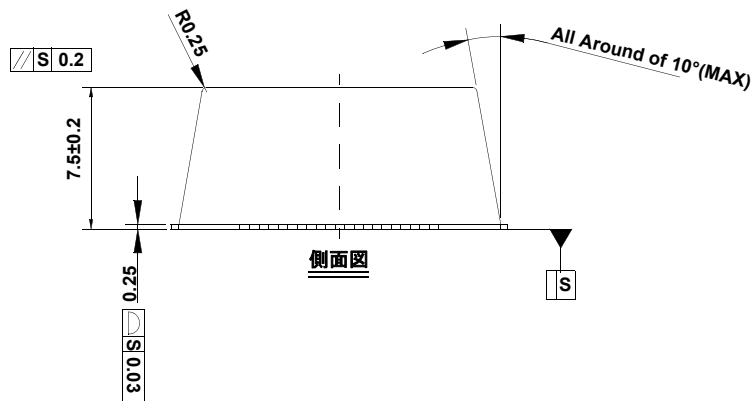
ピン番号の定義 (上面図)



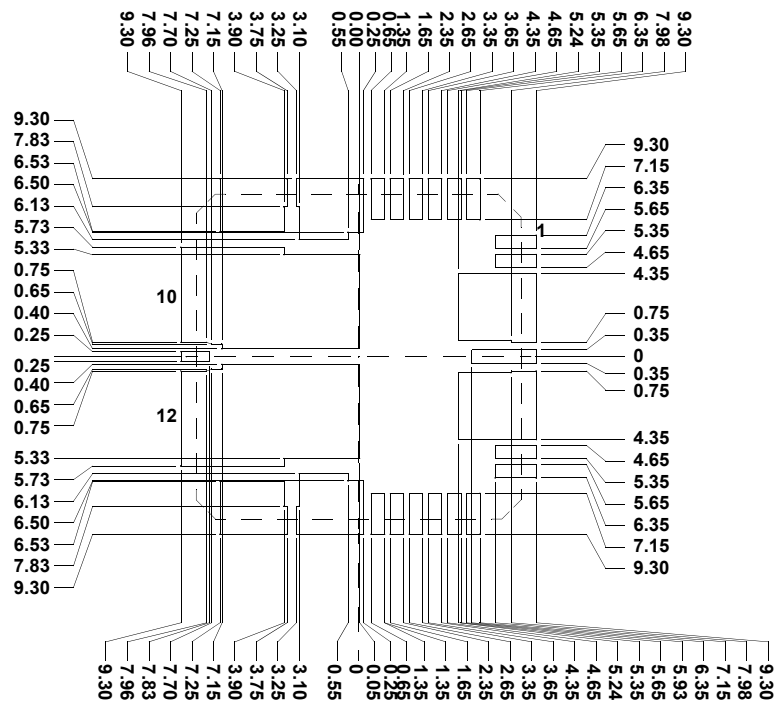
底面図



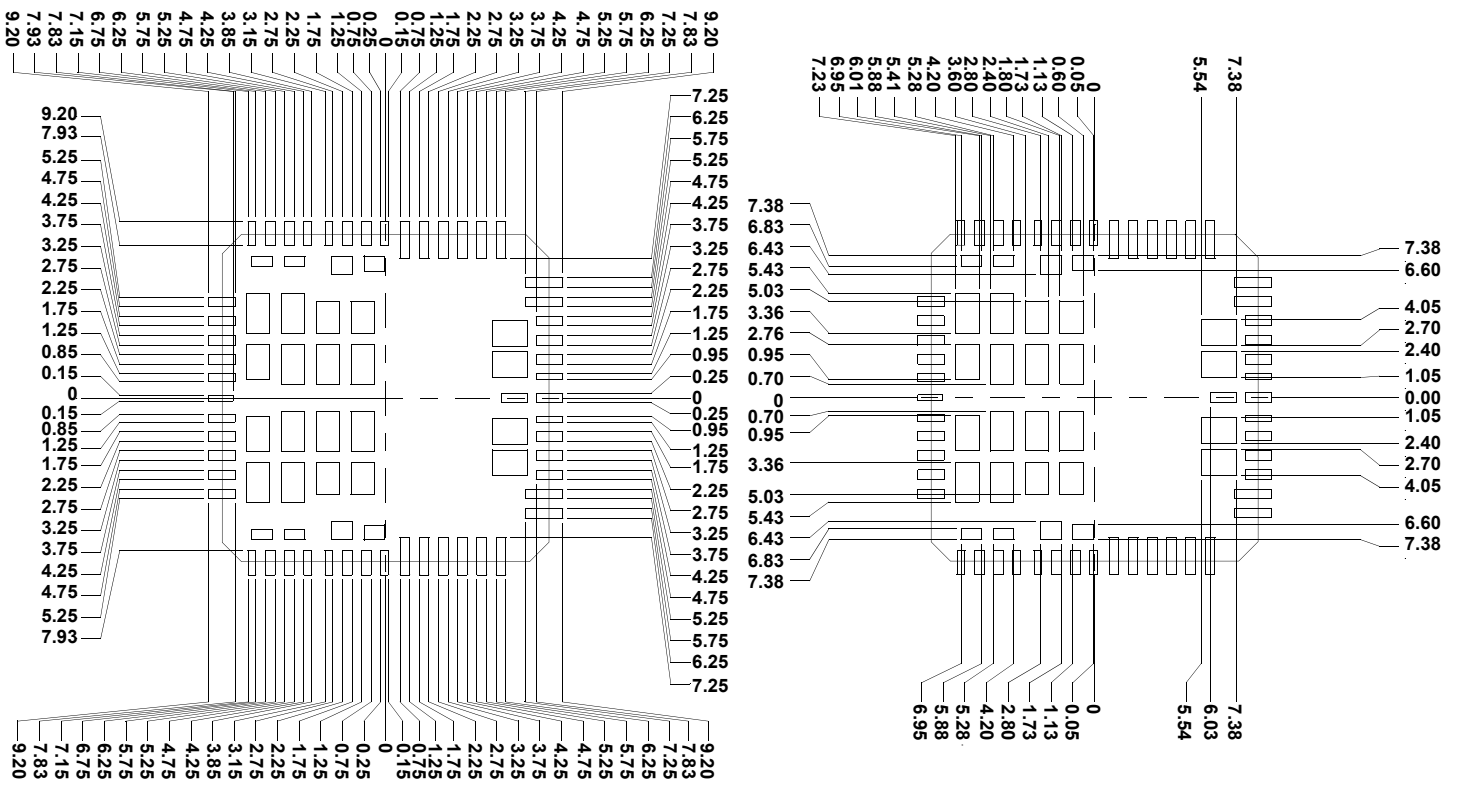
ピン間の距離 (底面図)



側面図



推奨ランドパターンの例 (上面図)



矩形パッド採用のハンダ・メタルマスク・パターン 1/2 (上面図)

矩形パッド採用のハンダ・メタルマスク・パターン 2/2 (上面図)